

PATENT ABSTRACTS OF JAPAN

(11) Publication number :

2003-031945

(43) Date of publication of application : 31.01.2003

(51) Int.Cl.

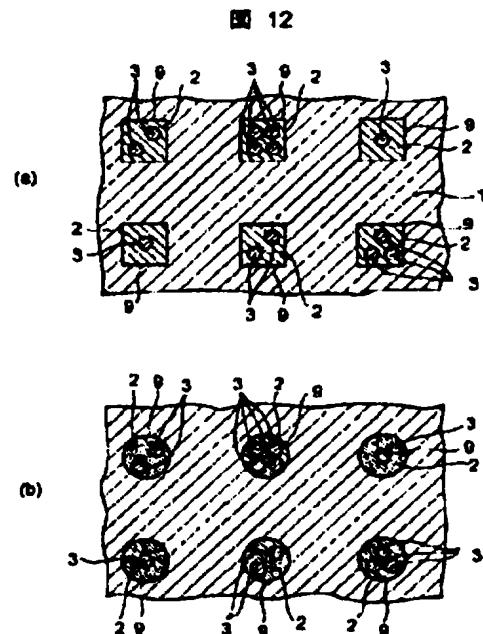
H05K 3/46

(21) Application number : 2001-
220389

(71) Applicant : HITACHI LTD

(22) Date of filing :

19.07.2001 (72) Inventor :

MATSUZAKI EIJI
HASEBE TAKEHIKO
USHIFUSA NOBUYUKI
ABE YOICHI
MATSUSHIMA NAOKI(54) WIRING BOARD, MANUFACTURING METHOD THEREFOR AND
ELECTRIC CIRCUIT ASSEMBLY

(57) Abstract:

PROBLEM TO BE SOLVED: To provide a wiring board having high density of conductive vias and high wiring density.

SOLUTION: The wiring board has a base board 1, a wiring layer laid on at least either the front or the back main planes of the base board 1, and an insulation layer laid thereon. The base board 1 has a plurality of openings 9, piercing the thickness of the base board 1 and one or more conductive vias 3 disposed in the openings 9. Two more conductive vias 3 are disposed in at least one of the openings 9.

[Claim(s)]

[Claim 1] Have a wiring layer and an insulating layer which have been arranged on at least one principal plane among principal planes of two rear surfaces of a base board and this base board, and to said base board. A wiring board which two or more openings which penetrate this base board to a thickness direction are formed, and carries out that one or more conductive vias are arranged and two or more conductive vias are arranged at least one of said two or more openings to this opening with the feature.

[Claim 2] A wiring board, wherein a number of conductive vias which said two or more openings are divided into two or more groups, and are different for said every group in the wiring board according to claim 1 are arranged.

[Claim 3] A wiring board characterized by an effective area product of said opening being below $1.6 \cdot \text{mm}^2$ in the wiring board according to claim 1 or 2.

[Claim 4] A wiring board.

A semiconductor device carried on said wiring board.

Are the above the electronic circuit device which it had, and said wiring board, Have a wiring layer and an insulating layer which have been arranged on at least one principal plane among principal planes of two rear surfaces of a base board and this base board, and to said base board. Two or more openings which penetrate this base board to a thickness direction are formed, one or more conductive vias are arranged at this opening, and two or more conductive vias are arranged at least one of said two or more openings.

[Claim 5] A manufacturing method of a wiring board characterized by comprising the following.

A process of filling up said opening with an insulating material after forming two or more openings in a base board.

A process of forming two or more through holes in said insulating material of said opening at once by irradiating said opening with a laser beam divided into two or more beams.

A process of forming a conductive via by filling up said through hole with a conductive material.

[Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention relates to the wiring board which a base board (core substrate) turns into from a conductive member (for example, metallic member) especially in at least one field of the upper surface of a base board, and the undersurfaces with respect to the wiring board which has a buildup layer which consists of a wiring layer and an insulating layer, and its manufacturing method.

[0002]

[Description of the Prior Art] Recently, in the semiconductor chip, the densification of the built-in integrated circuit device (hereafter referred to as IC) progresses, and working speed has also been rising every year.

[0003] In connection with the densification of IC, the capacity of the wiring to accommodate increases and the wiring board in which IC is carried poses a

problem with an important noise countermeasure of wiring. the actual condition and building -- in multilayer interconnection boards, such as an ABBU board, the number of laminations of a wiring layer is increased and the noise countermeasure is performed reducing the wiring capacity density per layer, and by forming a ground layer in between layers. As a result, since a manufacturing process becomes long since the number of laminations of a wiring layer increases, and production technology also becomes increasingly difficult, the problem of the rise of a manufacturing cost and the manufacturing yield fall has been caused.

[0004]Since the quantity of heat which IC generates by the densification of IC also increases, each of heat dissipation nature improvements of a circuit board and stress relaxation resulting from the thermal expansion coefficient difference between a semiconductor chip/circuit board has been important problem. As a substrate which can cope with such problems, the metal base wiring board (metal-core wiring board) which used the metal plate as a base board (core substrate) is expected. A metal base wiring board shows big heat leakage nature compared with the glass epoxy group board etc. which are used mostly now, and also has the feature of excelling in a mechanical strength or heat resistance. Thermal expansion coefficient difference with a semiconductor chip can be made small by choosing base board material appropriately. For example, since the Invar which is an alloy of iron and nickel, super Invar, and 42 alloys have a coefficient of thermal expansion below $4.5 \times 10^{-6} \text{**}^{-1}$, they can make small thermal expansion coefficient difference with Si chip by using these as a base board material. According to JP,H11-298104,A, since the metal base board can obtain the substrate excellent in smooth nature, the miniaturization of wiring is possible for it. Since a grand stratification process can be reduced by using a base board as a ground layer, strengthening of process shortening and a ground can be performed. Thus, a metal base wiring board has various advantages.

[0005]On the other hand, the characteristic degradation by the signal reflection in the terminal area of the switching noise and signal wire by which it is generated inside a semiconductor chip poses a problem with the rise of the working speed of IC. It is effective between an earth terminal and a power supply terminal to install a decoupling capacitor, and in order to control signal reflection, it is effective in reduction of a switching noise to provide a terminator on a signal wire. Since installing in the nearest possible place of IC is effective at this time as for a decoupling capacitor or a terminator, making these build in an interposer (semiconductor chip carrier) is indicated. for example, the interposer in which the terminator was made to build -- the Hitachi criticism 73 (1991) -- in 48 pages, it is reported from the 41st page. The interposer which built in the decoupling capacitor is proposed by JP,H6-318672,A or JP,H8-148595,A. The interposer in which both the decoupling capacitor and the terminator were made to build is proposed by JP,9-2138359,A. It not only can do the measure against various noises, but by using such an interposer, the protection feature of a semiconductor chip and the

pitch conversion function of a contact button are secured, and many economical effects are brought about. Since a semiconductor chip is specifically protected by using an interposer, the handling of a semiconductor chip becomes easy, it becomes easy to conduct an inspection, and the cost rise of chip sorting can be controlled. Since a contact button can carry out pitch conversion by using an interposer, Since it can inspect using the infrastructure as usual used at a packaging process, as compared with the cost concerning the infrastructure building of bare chip mounting or flip chip mounting, it can inspect by low cost.

[0006]The interposer which has the strong point of a metal base wiring board is expectable by constituting such an interposer using the above-mentioned metal base wiring board. An interposer has a contact button for generally carrying a semiconductor chip in the upper surface side, and has a contact button used for the difference with which an interposer is carried in circuit boards, such as a mother board, at the undersurface side. For this reason, in order to use a metal base wiring board as an interposer, it is necessary to provide the conductive via which runs through a metal base board and is penetrated from the upper surface side to the undersurface side. In order to form a conductive via in a metal base wiring board, it is necessary to generally perform four processes of formation of the opening to (1) metal base board, the insulating-layer restoration to (2) this opening, the through hole formation to (3) this insulating layer, and conductive beer formation [to (4) this through hole] **.

[0007]

[Problem to be solved by the invention]When forming the conductive via which penetrates a metal base board (core substrate) as a metal base wiring board, the density of the conductive via which can be formed, It is dependent on each opening of formation of the opening of the above (1), and through hole formation of the above (3) which carries out process formation, and the working dimension and process tolerance of a through hole. Therefore, in order to carry out the densification of the conductive via which penetrates a metal base board, it is necessary using the machining-with-high-precision method to make small an opening, and the pitch and path of a through hole. However, if the pitch and path of an opening are made small, the distance of the adjoining opening will decrease and the capacity of the wiring which can be formed in one layer will also decrease. Therefore, if it is going to form the wiring board which has wiring of the same capacity, it is necessary to make the number of laminations of a wiring layer increase. Since micro processing of a conductive via is needed when the densification of the conductive via which penetrates a metal base board progresses, correspondence by conventional drilling and punching work will need to become difficult, and will need to use laser beam machining. Since processing of the conductive via by this laser beam machining is based on processing one by one, if the number of conductive vias to form increases, floor to floor time will also become long.

[0008]As stated above, in order to correspond to the densification of IC, wiring

capacity of a metal base wiring board is enlarged, and it becomes the tendency for a manufacturing process and production time to become long and for the difficulty of technology required for the manufacture to also become increasingly difficult if density of the conductive via which penetrates a metal base board is enlarged. Therefore, the manufacturing cost rose and there was a problem to which a manufacturing yield falls.

[0009]This invention is made in view of the above thing, and its density of a conductive via is large, and there is in moreover providing a wiring board also with big wiring density.

[0010]

[Means for solving problem]To achieve the above objects, according to this invention, the following wiring boards are provided.

[0011]Namely, have the wiring layer and insulating layer which have been arranged on at least one principal plane among the principal planes of two rear surfaces of a base board and this base board, and to said base board. It is a wiring board, wherein two or more openings which penetrate this base board to a thickness direction are formed, one or more conductive vias are arranged at this opening and two or more conductive vias are arranged at least one of said two or more openings.

[0012]Said two or more openings are divided into two or more groups, and can be made the composition by which a different number for said every group of conductive vias are arranged.

[0013]Below as for $1.6 \cdot \text{mm}^2$, the effective area product of said opening can be carried out.

[0014]Said wiring board can be considered as the composition which covers at least one principal plane of the principal plane of two rear surfaces of said base board with a thin film protective layer. Thereby, a base board can be protected from manufacturing process atmosphere or an operating environment, and adhesion power with the insulating layer formed on a base board can be strengthened. As a material of a thin film protective layer, a suitable material is chosen and used according to the construction material of a base board and the insulating layer which covers it.

[0015]Said thin film protective layer can be formed with a material selected from copper (Cu), nickel (nickel), chromium (Cr), gold (Au), platinum (Pt), tongue SUTETAN (W), aluminum (aluminum), silicon oxide, aluminum oxide, and titanium oxide **. By using either of such materials as a thin film protective layer, a base board can be protected from manufacturing process atmosphere or an operating environment, and adhesion power with the insulating layer formed on a base board can be strengthened. Such materials can be easily formed with the membrane formation techniques represented by physical means and CVD methods, such as sputtering process, such as chemical vapor deposition, the spin coating method, a sol-gel method, and print processes.

[0016]When forming said two or more conductive vias into said opening provided in said base board, distance of each conductive via and said base

board can be made almost equal. According to this composition, each conductive via in the opening provided in the base board and connection of a wiring layer become easy, and the manufacturing yield of a wiring board can be raised.

[0017] Said conductive via can be formed with a material selected from copper (Cu), nickel (nickel), chromium (Cr), gold (Au), platinum (Pt), tongue SUTETAN (W), and aluminum (A 1), or its combination. Thereby, a conductive via with low resistance with strong adhesion power with the insulating layer filled up with the opening of the base board can be obtained. Such materials can perform through hole restoration with techniques, such as the plating method, chemical vapor deposition (CVD method), print processes, and are suitable for formation of a conductive via.

[0018] Said base board Tungsten (W), tantalum (Ta), molybdenum (Mo), nickel (nickel), copper (Cu), aluminum (aluminum), or iron (Fe) system which contains nickel (nickel), chromium (Cr), cobalt (Co), or aluminum (aluminum) at least -- an alloy and this iron (Fe) system -- what was chosen as the alloy from iron system composite which gave a copper (Cu) clad can be used.

According to this composition, since the surface of a base board can be made smooth by polish etc., the miniaturization of wiring and formation ** of a capacitor or a resistance element become possible. W, Ta, and Mo have small thermal expansion coefficient difference with Si, and can raise joining reliability with Si semiconductor chip. Cu and aluminum are excellent also in thermal conductivity, and aluminum contributes also to the weight saving of a wiring board. Since Fe system alloy becomes the thing excellent in processability, conductive beer formation into a metal base board becomes easy, and is advantageous to the miniaturization of a conductive via. With the presentation, Fe system alloy can adjust a coefficient of thermal expansion, and can make small thermal expansion coefficient difference with various semiconductor chips.

[0019] It can have composition which has a capacitor with which said base board constitutes a part of electrode in at least one principal plane of the principal plane of two rear surfaces of said wiring board. The wiring board which built in the small capacitor of equivalent series resistance by this can be provided, and the switching noise of a semiconductor device (electronic circuit device) can be reduced by using this for a decoupling capacitor.

[0020] It is also possible to provide a capacitor or/and a resistance element or/, and an inductance element into said buildup layer of said wiring board. By this composition, the wiring board in which the decoupling capacitor, and a terminator and a filter were made to build can be provided.

[0021]

[Mode for carrying out the invention] Although an embodiment of the invention is described hereafter, referring to an accompanying drawing, this invention is not limited to these embodiments.

[0022] (A 1st embodiment) The wiring boards 1000 and 2000 of a 1st embodiment are explained first, making reference drawing 1 - drawing 6, and

drawing 12.

[0023][0023]. Wiring is provided with the following.

1000 consists of conductive members.

***** arranged, respectively at the upper surface and the rear face of the SU board 1 and the base board 1.

The opening 9 is formed in the base board 1. The 1st insulating layer 2 is filled up with the opening 9. The upper surface [of the base board 1] and rear-face side is covered by the insulating layers 5 and 51, respectively. The conductive patterns 6 and 61 are arranged on the insulating layers 5 and 51. The conductive patterns 6 and 61 are covered by the insulating layers 7 and 71.

The through holes 11a and 11b which reach the conductive patterns 6 and 61 at the insulating layers 7 and 71 are established in the desired position. The contact buttons 8 and 81 are arranged in the through holes 11a and 11b.

[0024]The through hole 10 which pierces through these to a thickness direction is established in the insulating layers 5 and 51 and the insulating layer 2. The through hole 10 is filled up with a conductive material, and the conductive via 3 which connects the conductive pattern 6 by the side of the upper surface and the conductive pattern 61 by the side of a rear face is formed.

[0025]At this time, the opening 9 has predetermined aperture shape like drawing 2 (a), (b), and drawing 12 (a) and (b), opens a predetermined interval in the base board 1, and is provided in it. In the opening 9, the one or more conductive vias 3 are arranged. In the example of drawing 2 (a) and drawing 12 (a), the aperture shape of the opening 9 is a square, and the aperture shape of the opening 9 is circular in the example of drawing 2 (b) and drawing 12 (b). And the four conductive vias 3 are arranged inside [each] each opening 9 by drawing 2 (a) and (b), respectively. In the example of drawing 12 (a) and (b), the group division of the opening 9 is carried out, and the 1 to four conductive vias 3 are arranged for every group. The 1st insulating layer 2 dissociates, and the conductive via 3 and the base board 1 are constituted so that it may not contact.

[0026]In the wiring board 1000 of this embodiment, the size of the opening 9 is set up so that the area of the opening 9 may become the range of 0.002-1.6-mm². When this defines the size of the opening 9, the 1-4 through holes 10 in the opening 9 can be formed at once every opening 9 using harmonic YAG laser. The diameter of harmonic YAG laser is effective in through hole formation of 0.05 mm or less, and it has set the diameter of the through hole 10 as 0.03 mm in this embodiment.

[0027]It differs in the wiring board 1000 of drawing 1 (a) in that the wiring board 2000 of drawing 1 (b) is not provided with the thin film protective layer 41 by the side of the rear face of the base board 1. Other composition is completely the same as the wiring board 1000.

[0028]The circuit boards 1000 and 2000 of this embodiment are further explained as compared with the conventional metal base wiring board. The physical relationship of the base board 1 of the conventional metal base wiring

board, and the opening 9 and the conductive via 3 which were provided in the base board 1 is shown in drawing 11. Each mark of drawing 11 is the same as the case of drawing 2 (a). In the conventional metal base wiring board of drawing 11, the opening 9 of prescribed shape (circular) is formed at the predetermined intervals in the base board 1, and the one conductive via 3 is formed via the 1st insulating layer 2 in each opening 9. Therefore, in the conventional metal base wiring board of drawing 11, the conductive via 3 is arranged in even pitch. It is predicted that the densification of the contact button pitch in a semiconductor package will be carried out to 0.25 mm by 2004 according to the description of the 66th page - the 77th page of the Nikkei micro device August, 1998 item. So, the case where the $a = 0.25\text{-mm-pitch}$ conductive via 3 is formed in the base board 1 of the conventional metal base wiring board will be considered here. It is referred to as $b = 0.03\text{ mm}$ in diameter of the conductive via 3, and is considered as $c = 0.035\text{ mm}$ of clearance with the base board 1. in this case, pitch a' of $d = 0.1\text{ mm}$ in diameter of the opening 9 provided in the base board 1, and the opening 9 -- the same a' as the pitch a of the conductive via 3 -- it becomes $e = 0.15\text{ mm}$ of intervals of the adjoining opening 0.25 mm.

[0029]It is as follows when it realizes by the wiring boards 1000 and 2000 provided with every four conductive vias 3 in the opening 9 according the density of the same conductive via 3 as this to this embodiment. However, it is considered as $b = 0.03\text{ mm}$ in diameter of the conductive via 3, and $c = 0.035\text{ mm}$ of clearance with the base board 1. What is necessary is just to consider it as $f = 0.2\text{ mm}$ in length of one side of the opening 9, the pitch of $g = 0.5\text{ mm}$ of the opening 9, and the pitch of $h = 0.1\text{ mm}$ of the conductive via 3 formed in the opening 9, if form of the opening 9 formed in the base board 1 is made into a square as shown in drawing 2 (a). In the case in is made circular as the form of the opening 9 formed in the base board 1 is shown in drawing 2 (b). What is necessary is just to consider it as $i = 0.2\text{ mm}$ in diameter of the opening 9, the pitch of $j = 0.5\text{ mm}$ of the opening 9, and the pitch of $k = 0.071\text{ mm}$ (namely, pitch of $l = 0.1\text{ mm}$ of the conductive via which adjoins on a diagonal line) with the conductive via 3 formed in the opening 9. As a result, even if in the case of the wiring boards 1000 and 2000 the form of the opening 9 formed in the base board 1 is a square and it is circular, It becomes $m = 0.3\text{ mm}$ of intervals of the opening 9 which adjoins within the base board 1, and can be made a double interval as compared with being $e = 0.15\text{ mm}$ of intervals of the opening which the circuit board of conventional drawing 11 adjoins.

[0030]When the conditions of making density of the conductive via 3 equal compare the conventional metal base wiring board and the wiring boards 1000 and 2000 of this embodiment from the above thing, there are the following advantages in the wiring boards 1000 and 2000 of this embodiment.

[0031](1) The interval m of the opening 9 provided in the base board 1 can make the wiring board 1000-2000 larger than the interval e of the opening 9 of the conventional metal base wiring board 1. Since the rate of the effective area product of the opening 9 occupied in the area of the base board 1 becomes

small by this, compared with the conventional metal base wiring board, the wiring board 1000-2000 can enlarge capacity of the conductive pattern 6 (wiring) which can be formed on the base board 1.

[0032] (2) When a conductive via $b=0.03$ mm in diameter is formed in the base board 1 as $c=0.035$ mm of clearance with the base board 1 in the pitch of $a=0.25$ mm in the conventional metal base wiring board of drawing 11, It is necessary to form the opening 9 $d=0.1$ mm in diameter in the base board 1 by pitch $a'=0.25$ mm, and to form the through hole 10 $b=0.03$ mm in diameter in the 1st insulating layer 2 in the opening 9 in the pitch of $a=0.25$ mm. In this case, by the present processing technology, in order for the diameter b to form 0.05 or less through hole, since processing by harmonic YAG laser etc. is needed, a pitch cannot carry out the simultaneously form of the through hole 10 which adjoins at 0.25 mm. Therefore, in the case of the conventional metal base wiring board of drawing 11, it is necessary to carry out laser beam machining of every one through hole 10. The diameter of $d=0.1$ mm of the opening 9, and since the conventional metal base wiring board of drawing 11 is small, it is difficult for forming all the openings 9 at once by photo etching etc., and cannot but correspond by the sequential formation by laser processing. The square of one side of length [$f=0.2$ mm of] of the opening 9 provided in the base board 1 by the wiring board 1000-2000 of this embodiment to it, Or $i=0.2$ mm in diameter since it can do that it is circular and can be considered as the pitch of $j=0.5$ mm, it is possible to form all the openings 9 at once by photo etching etc. Since the four conductive vias 3 adjoin and exist by within the limits below $1.6 \cdot \text{mm}^2$, four things which beam division is carried out and are irradiated with the laser beam of harmonic YAG laser at once are possible, and the simultaneously form of the four through holes 10 of the conductive via 3 can be carried out. Thereby, in the case of the wiring board 1000-2000, as compared with the conventional metal base wiring board, a manufacturing process can be substantially shortened in the process of forming the opening 9 in the base board 1, and the process of forming the through hole 10 of the conductive via 3 in the 1st insulating layer.

[0033] Thus, attaining the densification of the conductive via 3 which penetrates the base board 1, the wiring board 1000-2000 of this embodiment can increase the capacity of the conductive pattern (wiring) 6 which can be formed on the base board 1, and can shorten the manufacturing process substantially.

[0034] It is not limited to this number, and although drawing 2 (a) and (b) explained the case where the four conductive vias 3 were formed every opening 9 provided in the base board 1, as shown in drawing 12 (a) and (b), it can be made into 1-4 arbitrary numbers. It is also possible to form only the opening 9 and not to arrange the conductive via 3. In order to prevent a crosstalk noise, it is desirable to define the number of the conductive vias 3 which arrange the attribute 3 of the conductive via 3, i.e., a conductive via, to the opening 9 according to for any it shall use between a power source wire, a ground line, and a signal wire. This is explained using drawing 13. When the number of the

conductive vias 3 arranged to the opening 9 is one, the conductive via 3 can also be used for any of a signal wire, an earthing conductor, and a power source wire. When the number of the conductive vias 3 arranged to the opening 9 is two, it can use for mixed loading (a power source wire and a signal wire) of paired wiring (a signal wire and an earthing conductor), power supply wiring (a power source wire and an earthing conductor), power supply wiring / signal wiring, or two low frequency signal wiring in which a cross talk does not pose a problem low in clock frequency. When the number of the conductive vias 3 arranged to the opening 9 is three, it can use for the combination of a power source wire, an earthing conductor, and a signal wire, the combination of two signal wires and earthing conductors (or power source wire), and the combination of three low frequency signal lines by which a cross talk does not pose a problem low in clock frequency. When the conductive via 3 arranged to the opening 9 is four or more pieces, combination with combination with one or more signal wires, one or more power source wires, or an earthing conductor, one or more paired wiring (a signal wire and an earthing conductor), one or more power source wires, or an earthing conductor -- or, It can use for the combination of four or more low frequency signal lines by which a cross talk does not pose a problem low in clock frequency. Thus, since a crosstalk noise can be reduced by using the conductive via 3 for the combination defined beforehand, two or more conductive vias 3 can be arranged to the opening 9, and the area of the conductive via 3 occupied on the base board 1 can be reduced. Thereby, the capacity of the conductive pattern (wiring) 6 which can be formed on the base board 1 can be increased.

[0035]As mentioned above, in this embodiment, the simultaneously form of through hole plurality by laser beam processing is made possible by setting the area of the opening 9 to $0.002\text{-}1.6\text{ mm}^2$. This Reason is explained below. The beam diameter of the harmonic YAG laser with which a diameter is used for formation of the through hole 10 of 0.05 mm or less is usually about 2 mm. Although the intensity of a laser beam has the almost same intensity in 20 to 40% of range from the center of a beam, on the outside, it becomes weak rapidly and working speed falls. So, in this invention, the working speed mostly proportional to beam strength presupposed that it is an usable range even one half of the ranges of the central part, and the beam diameter which moreover fulfills the conditions that the diameter of a through hole and section structure which are formed are almost the same was looked for by experiment. The experiment of less than about 70% of range of a beam diameter, i.e., a case with a beam diameter of 2 mm, showed that it was satisfied with within the limits whose path is 1.5 mm. Therefore, if it is the through hole 10 of within the limits with a diameter of 1.5 mm in which it is located, simultaneous processing will be attained by operating orthopedically and irradiating a multi-beam at about 1 appearance of two or more through holes by passing the shielding member etc. which have same number as the number of through holes of openings for a laser beam. From these things, the area of the opening 9 was determined as within the limits of 1.6-mm^2 almost corresponding to the

irradiation surface product of said beam by this embodiment. The form of the opening 9 is not restricted circularly, and if it enters inside the beam diameter of about 1.5 mm, no matter it may be what form, it does not interfere.

[0036]As for a thing, also in order to enlarge capacity of the wiring to form as a conductive member which constitutes the base board 1, the surface can be made smoothly and flat and what has a few dimensional change by heat treatment of a wiring board manufacturing process is preferred. As such a material, at least Nickel (nickel), chromium (Cr), iron (Fe) system containing either cobalt (Co) or aluminum (aluminum) -- an alloy and this iron (Fe) system -- the iron system composite which gave a copper (Cu) clad to the alloy. Or metal, such as tungsten (W), nickel (nickel), molybdenum (Mo), tantalum (Ta), copper (Cu), and aluminum (aluminum), can be raised. Since W, nickel, Mo, Ta, and Fe system alloy have the melting point of not less than 1000 **, they can form a circuit pattern, a capacitor, etc. by thick film paste. W, Ta, and Mo have small thermal expansion coefficient difference with Si, and can raise joining reliability with Si system semiconductor chip. Cu and aluminum are excellent also in thermal conductivity, and aluminum contributes also to the weight saving of a wiring board. Since Fe system alloy is excellent in processability, the conductive beer formation to a metal base board becomes easy, and is advantageous to the miniaturization of a conductive via. Since a coefficient of thermal expansion can be adjusted with the presentation in the case of Fe system alloy, thermal expansion coefficient difference with various semiconductor chips can be made small.

[0037]As a conductive member which constitutes the conductive via 3, adhesion power with the 1st insulating layer 2 filled up with the opening 9 of the base board 1 is strong, and what has low resistance is desirable. It is important for membrane formation inside a through hole to be also possible. It is desirable to be able to raise copper (Cu), nickel (nickel), chromium (Cr), gold (Au), platinum (Pt), tongue SUTETAN (W), aluminum (aluminum), etc., to choose material from these as such a material, and for such materials to combine, and to use.

[0038]As the insulating layers 2, 5, 51, 7, and 71, it can form with organic insulating resin or an inorganic insulating material.

[0039]In the wiring board 1000, the thin film protective layers 4 and 41 are formed on the principal plane of two rear surfaces of the base board 1, and the thin film protective layer 4 is formed only in the principal plane on a side front in the wiring board 2000. These thin film protective layers 4 and 41 protect the base board 1 from a manufacturing process, and they provide it in order to improve the adhesion of the base board 1 and the 1st insulating layer 5 and 51. Therefore, it is desirable that it is a material excellent in adhesion with the base board 1, a resistance to environment, and heat resistance as the thin film protective layers 4 and 41. It is desirable for the membrane formation to the base board 1 to be also easy. As such a material, materials, such as Cu, nickel, Cr, Au, Pt, W, aluminum, a silicon oxide, an aluminum oxide, and titanium oxide, can be used. What is necessary is to consider the operating environment

of the base board 1, the 2nd insulating layer 5 and 51, a manufacturing process, and a wiring board, etc., and just to choose the thin film protective layers 4 and 41 from these. However, when inorganic insulating materials, such as a silicon oxide, an aluminum oxide, and titanium oxide, are chosen, in order to secure electrical continuity, it is necessary to remove the thin film protective layers 4 and 41 of the position which the conductive via 3 passes. [0040]Next, the manufacturing method of the circuit board 1000 shown in drawing 1 (a) is explained, making reference - (d) and drawing 3 (a) drawing 4 (a) - (d).

[0041]Drawing 3 (a): By performing the surface polish of conductive members, such as 42 alloys cut down in the size of the preparation request of the base board 1, make the surface smooth and consider it as the base board 1.

Subsequently, it washes using the degreasing treatment, neutral detergent, and alkali detergent of the base board 1, and the surface is made clarification.

[0042]Drawing 3 (b): By the formation sputtering process of the thin film protective layers 4 and 41, etc., form metal membranes, such as Cr, on the principal plane of two rear surfaces of the base board 1, and consider it as the thin film protective layers 4 and 41. The thickness of the thin film protective layers 4 and 41 can protect the base board 1, and is taken as the thickness which can secure adhesion strength. For example, it is 100-200 nm.

[0043]Drawing 3 (c): Form the opening 9 in the base board 1 using the formation photo etching method of the opening 9 to the base board 1. In this case, all the openings can be formed at once.

[0044]Drawing 3 (d) : Organic insulation sheets, such as prepreg, are stuck on the principal plane of two rear surfaces of the base board 1 using techniques, such as restoration of the 1st insulating layer 2, and formation vacuum hot pressing of the 2nd insulating layer 5 and 51, While filling up the opening 9 with the 1st insulating layer 2, the 2nd insulating layer 5 and 51 is formed on the principal plane of two rear surfaces. As organic insulating resin, it is not limited to prepreg and other materials may be used, and even if it forms the insulating material of liquefied or paste state using another techniques, such as a dip method, print processes, spray coating, and a replica method, it does not interfere. Restoration to the opening 9 of the 1st insulating layer 2 and formation of the 2nd insulating layer 5 and 51 may be performed at a separate process.

[0045]Hereafter, it explains, making drawing 4 reference.

[0046]Drawing 4 (a): Form the through hole 10 which penetrates the 2nd insulating layer 5 and 51 and the 1st insulating layer 2 in the opening 9 by irradiating with the formation harmonic YAG laser of the through hole 10 to the insulating layers 2, 5, and 51. In this case, an YAG laser beam is changed into a multi-beam using an aperture, and the through hole 10 in the opening 9 is formed simultaneously every opening 9.

[0047]Drawing 4 (b): By the formation plating method of the conductive via 3 and the conductive patterns 6 and 61, etc., in the through hole 10, it is filled up with conductive members, such as Cu, form the conductive via 3, and form

conductive thin films, such as Cu, in the surface of the 2nd insulating layer 4 and 41 further. Subsequently, pattern separation of said conductive thin film is performed with the well-known techniques, such as photo etching method, and the conductive patterns 6 and 61 are formed. Here, although restoration of the conductive member to the through hole 10 and the conductive thin film to the 2nd insulating-layer 4 and 41 top are formed at the same process by choosing Cu as a conductive member and forming membranes by the plating method, it is not limited to this. It does not interfere, even if it forms restoration of the conductive member to the through hole 10, and the conductive thin film to the 2nd insulating-layer 4 and 41 top at a separate process.

[0048] Drawing 4 (c): Apply organic system insulating resin with techniques, such as the formation spin applying method of the 3rd insulating layer 7 and 71, perform desiccation and hardening, and form the 3rd insulating layer 7 and 71. Subsequently, the through holes 11a and 11b are formed with techniques, such as photo etching method. in addition -- if a photosensitive material is used as organic system insulating resin in this case, the 3rd insulating layer 7 and 71 that has the through holes 11a and 11b can be formed by each process of spreading, desiccation, exposure, development, and hardening -- a process -- it can contribute simple.

[0049] Drawing 4 (d): Form the material which suited the connecting hand method of the formation wiring board of the contact buttons 8 and 81, a semiconductor device, etc. with the membrane formation technique of well-known of a sputtering method, a vacuum deposition method, the plating method, etc., etc., perform pattern separation with the technique of well-known of photo etching method etc., and form the contact buttons 8 and 81. using an Au/nickel/Cr cascade screen, a nickel-Cu/Cr cascade screen, etc., when premised on a soldered joint although the material used for contact button metallizing will be chosen by a connecting hand method -- things are preferred. Here, A/B shows that A is laminated as the upper layer of B.

[0050] Above, the wiring board 1000 shown in drawing 1 (a) is completed.

[0051] Next, the manufacturing method of the circuit board 2000 shown in drawing 1 (b) is explained, making reference - (e) and drawing 5 (a) drawing 6 (a) - (e).

[0052] Drawing 5 (a): Prepare the base board 1 in which the thin film protective layers 4 and 41 were formed on the principal plane of two rear surfaces, like the process shown in preparation of the base board 1, and formation drawing 3 (a) and (b) of the thin film protective layers 4 and 41.

[0053] Drawing 5 (b): Form the opening 9 into the base board 1 using the formation photo etching method of the opening 9 to the base board 1. Also in this case, although all the openings 9 are formed at once, the opening 9 has not penetrated the base board 1. This point differs from the manufacturing process of the wiring board 1000 shown in drawing 3 (c).

[0054] Drawing 5 (c) : Organic insulation sheets, such as prepreg, are stuck on the 1st [of the base board 1] principal plane side using techniques, such as formation vacuum hot pressing of restoration of the 1st insulating layer 2, and

the 2nd insulating layer 5 by the side of the 1st principal plane, While filling up the opening 9 with the 1st insulating layer 2, the 2nd insulating layer 5 is formed in the 1st [of the base board 1] principal plane side. It does not interfere, even if it is not limited to prepreg and uses other materials as organic insulating resin, and even if it forms the insulating material of liquefied or paste state using another techniques, such as a dip method, print processes, spray coating, and a replica method, it does not interfere.

Restoration of the 1st insulating layer 2 to the opening 9 and formation of the 2nd insulating layer 5 may be performed at a separate process.

[0055]drawing 5 (d): -- the -- by processing using the formation harmonic YAG laser of the through hole 10 to the 2nd insulating layer 5 of the principal plane side of one, the 2nd insulating layer 5 and the 1st insulating layer 2 in the opening 9 are penetrated, and the through hole 10 which reaches the base board 1 is formed. Thereby, a part of base board 1 is exposed to the bottom of the through hole 10. In this case, an YAG laser beam is changed into a multi-beam using an aperture, and the simultaneously form of two or more through holes 10 is carried out every opening 9 into the opening 9 of the base board 1.

[0056]Drawing 5 (e): By the formation electric-field plating method of the conductive via 3 and the 1st principal plane side conductive pattern 6, etc., fill up the inside of the through hole 10 with conductive members, such as Cu, form the conductive via 3, and form further the conductive thin film which becomes the surface of the 1st insulating layer [2nd] 4 of the principal plane side from Cu etc. Subsequently, the conductive pattern 6 is formed by performing pattern separation of said conductive thin film with the well-known techniques, such as photo etching method. Here, although restoration of the conductive member to the through hole 10 and the conductive thin film to the 2nd insulating layer 4 top are formed at the same process by forming a Cu film by the plating method, it is not limited to this. It does not interfere, even if it separates the process of filling up through hole 10 inside with a conductive member, and the process of forming a conductive thin film on the 2nd insulating layer 4. Pattern separation of the conductive thin film formed on the 2nd insulating layer 4 by the side of the 1st principal plane may be performed in the process of forming the conductive pattern 61 by the side of the 2nd principal plane.

[0057]Hereafter, it explains, making drawing 6 (a) - (e) reference.

[0058]Drawing 6 (a): Protecting the 1st principal plane [in which the 2nd principal plane side removal conductive pattern 6 of the base board 1 was formed] side, etching, polish, etc. remove the portion by the side of the 2nd [of the base board 1] principal plane using the well-known technique, and expose the conductive via 3 and the 1st insulating layer 2 to the 2nd principal plane side. Subsequently, smoothing and washing are performed and the 2nd new principal plane is made clarification.

[0059]drawing 6 (b): -- the -- like the process of formation drawing 5 (c) of the 2nd insulating layer 51 to the principal plane top of two, organic insulation sheets, such as prepreg, are stuck on the 2nd [of the base board 1] principal

plane side using techniques, such as vacuum hot pressing, and the insulating layer 51 which consists of organic compound insulators is formed. Also in this case, as an organic insulating material, it is not limited to prepreg and other materials may be used, and even if it forms an insulating material [being liquefied (or paste state)] using another techniques, such as a dip method, print processes, spray coating, and a replica method, it does not interfere.

Subsequently, like the process of drawing 5 (d), by processing using harmonic YAG laser, the through hole 12 is formed in the 2nd insulating layer 51 by the side of the 2nd principal plane, and the conductive via 3 is exposed. Also in this case, an YAG laser beam is changed into a multi-beam using an aperture, and two or more through holes 12 in the opening 9 are formed simultaneously.

[0060]Drawing 6 (c) : Using the technique of well-known of the formation sputtering process of the conductive pattern 61 by the side of the 2nd principal plane, the plating method, chemical vapor deposition (CVD method etc.), a sol gel process, etc., on the 2nd principal plane, form conductive thin films, such as Cu, and it ranks second, Pattern separation of a conductive thin film is performed using the well-known techniques, such as photo etching method. Thereby, the conductive pattern 61 by the side of the 2nd principal plane is formed. In this process, even if it performs pattern separation for forming the conductive pattern 6 by the side of the 1st principal plane, it does not interfere.

[0061]Drawing 6 (d): Formation of the 3rd insulating layer 7 and 71: On the principal plane of two rear surfaces, organic system insulating resin is applied with the technique of well-known of the spin applying method, print processes, etc., desiccation and hardening are performed, and the insulating layers 7 and 71 are formed. Subsequently, the through holes 11a and 11b are formed with the technique of well-known of photo etching method, a laser process, etc. In this case, like the process of drawing 5 (c), organic insulation sheets, such as prepreg, may be stuck using techniques, such as vacuum hot pressing, and using a photosensitive material as organic system insulating resin, even if it forms by each process of spreading, desiccation, exposure, development, and hardening, it does not interfere.

[0062]Drawing 6 (e): Form the material which suited the connecting hand method of the formation wiring board of the contact buttons 8 and 81, a semiconductor device, etc. with the membrane formation technique of well-known of a sputtering method, a vacuum deposition method, the plating method, etc., etc., perform pattern separation with the technique of well-known of photo etching method etc., and form the contact buttons 8 and 81. using an Au/nickel/Cr cascade screen, a nickel-Cu/Cr cascade screen, etc., when premised on a soldered joint although the material used for contact button metallizing will be chosen by a connecting hand method -- things are preferred. Here, A/B shows that A is laminated as the upper layer of B. Above, the wiring board 2000 shown in drawing 1 (b) is completed.

[0063]By according to a 1st embodiment mentioned above, carrying a semiconductor chip (not shown) and individual electronic parts (not shown) in

the terminal 8 by the side of the 1st principal plane, and connecting the terminal 81 by the side of the 2nd principal plane to another wiring board (not shown). The wiring board by this invention can be used as an interposer. Here, although the contact buttons 8 and 81 have stopped in the stage of contact button metallizing, it is also possible to provide solder, such as a solder bump, on this. Thus, by providing solder, when joining by solder to the wiring board (not shown) and semiconductor chip (not shown) different from a wiring board by this invention, it is effective.

[0064](A 2nd embodiment) The wiring board 3000 of a 2nd embodiment of this invention is explained using drawing 7.

[0065]Although the wiring board 3000 is the composition similar to the wiring board 1000 of a 1st embodiment, the structure of the conductive via 3 has a difference. That is, it is the point that a conductive member is formed only in the side attachment wall of through hole 10 inside provided in the 1st insulating layer 2, and the conductive member is not filled up with the wiring board 3000 even into the portion of the core of the through hole 10. The portion of the core of the through hole 10 is filled up with the 4th insulating layer 13. Thereby, since the surface area of the conductive via 3 becomes large compared with a 1st embodiment, even if it is a case where the frequency of the signal to deal with becomes high and the influence of a skin effect becomes a problem, it can prevent transmission characteristic degradation.

[0066]In order to manufacture the conductive via 3 in structure like drawing 7, when filling up the inside of the through hole 10 with conductive members, such as Cu, in drawing 5 (e) of drawing 4 (b) of the manufacturing process of the wiring board 1000, and the manufacturing process of the wiring board 2000, it can realize easily by using the plating method. It is the same as structures other than this, a manufacturing method, and a 1st embodiment. Therefore, also in a 2nd embodiment, the same effect as the case of a 1st embodiment can be acquired by application of this invention.

[0067](A 3rd embodiment) The wiring board 4000 of a 3rd embodiment of this invention is explained using drawing 8.

[0068]The base board 1 is made into the laminated structure which sandwiched the insulator 14 by the conductive members 1a and 1b of two sheets in the wiring board 4000 of drawing 8. This point is a different place from the wiring board 1000 of a 1st embodiment. Structures and manufacturing methods other than this are the same as the wiring board 1000. Therefore, also in a 3rd embodiment, the same effect as the case of a 1st embodiment can be acquired.

[0069]In the case of the wiring board 4000 of drawing 8 of this embodiment, the conductive members 1a and 1b which constitute the base board 1 can be patternized, and it can use as a part of wiring circuit. For example, a capacitor can be constituted by patternizing at least one conductive member (for example, 1a) of the conductive member which constitutes the base board 1, using as an electrode the conductive members 1a and 1b of two sheets which constitute the base board 1, and using the insulator 14 as a dielectric.

According to this composition, the capacitor 14 can be used as a decoupling capacitor by [of the conductive member of two sheets which constitutes the base board 1] on the other hand (for example, 1a) connecting a power supply terminal and another side (for example, 1b) to an earth terminal. And by carrying a semiconductor chip (not shown) and individual electronic parts (not shown) in the contact button 8 by the side of the 1st [of the wiring board 4000] principal plane, and connecting the contact button 81 by the side of the 2nd principal plane to another wiring board (not shown), Since it can be used as an interposer which built in the decoupling capacitor, the electronic device which can reduce a switching noise can be provided.

[0070](A 4th embodiment) The wiring board 5000 of a 4th embodiment of this invention is explained using drawing 9.

[0071]The wiring board 5000 of drawing 9 is the example in which the wiring board 1000 of drawing 1 was made to build the capacitor element 15. On the thin film protective layer 4, the dielectric layer 150 and the upper electrode 151 are laminated. The lower electrode 151 of the capacitor 15 comprises the base board 1 and the thin film protective layers 4 and 41. Other marks are the same as the case of the wiring board of drawing 1 - drawing 8. In the case of this embodiment, the thin film protective layers 4 and 41 are formed by a conductive member.

[0072]The wiring board 5000 of basic structure or a fundamental manufacturing process of drawing 9 is the same as the wiring board 1000, and can acquire the same effect as a 1st embodiment by application of this invention also in this embodiment.

[0073]In this embodiment, the base board 1 which consists of conductive members is made into the part of one electrode 151 of the capacitor 15. Therefore, equivalent series resistance of the electrode 151 used as the lower electrode of the capacitor 15 can be made low. Since the rate of the opening 9 occupied in the base board 1 becomes small by application of this invention, capacity of the capacitor 15 can be enlarged. Therefore, according to this embodiment, equivalent series resistance can provide the wiring board in which the capacitor whose capacity it is low and is high was made to build, making high density assembly possible. And by carrying a semiconductor chip (not shown) and individual electronic parts (not shown) in the contact button 8 by the side of the 1st principal plane, and connecting the contact button 81 by the side of the 2nd principal plane to another wiring board (not shown), Since equivalent series resistance can use it as an interposer which built in the capacitor 15 whose capacity it is low and is high, the electronic device which can reduce a switching noise can be provided.

[0074]What is necessary is just to form the conductive via 3 which penetrates the base board 1 by forming the capacitor 15 first and using the manufacturing method of the wiring board 1000 after that, in order to manufacture the wiring board 5000 which shows this embodiment. Although the wiring board 1000 shown by a 1st embodiment is used as a wiring board in which a capacitor is made to build, of course, it is also possible for it not to be

limited to this and to use the wiring board 2000 and wiring board 3000 grade. [0075](A 5th embodiment) The wiring board 6000 of a 5th embodiment of this invention is explained using drawing 10.

[0076]The wiring board 6000 of drawing 10 arranges the multilevel interconnection parts 16 and 161 which consist of buildup layers between the conductive patterns 6 and 61 of the wiring board 1000 and the insulating layer 7 which were shown by a 1st embodiment. By considering the circuitry of the multilayer interconnection board 16,161 as the composition changed into the interval of a request of the interval of the conductive patterns 6 and 61, the contact buttons 8 and 81 can be set by terminal intervals, such as a semiconductor device, and it can be made a desired interval. It can also have composition which includes a test circuit etc. as the multilevel interconnection part 16,161. A capacitor, a resistance element, and an inductance element can also be made to build in in the multilevel interconnection parts 16 and 161 if needed.

[0077]The effect that it was obtained by a 1st embodiment also in this embodiment since the 1st wiring board 1000 and multilevel interconnection parts 16 and 161 of an embodiment unified and the wiring board 6000 was formed is acquired.

[0078]Also the contact button 8 by the side of the 1st principal plane or a case, a semiconductor chip (not shown) and individual electronic parts (not shown) are carried, and the contact button 81 by the side of the 2nd principal plane can be used for it as an interposer by connecting with another wiring board (not shown). [the wiring board 6000] And a conversion function, a checking feature, etc. of a contact button pitch can be given by having formed the multilevel interconnection parts 16 and 161.

[0079]Although the wiring board 1000 shown by a 1st embodiment is used as a wiring board united with the multilevel interconnection parts 16 and 161, it is not limited to this.

[0080]

[Effect of the Invention]As mentioned above, according to this invention, the density of a conductive via is large and, moreover, a wiring board also with big wiring density can be provided.

[Brief Description of the Drawings]

[Drawing 1]The sectional view of the (a) wiring board 1000 of a 1st embodiment of this invention, the sectional view of the (b) wiring board 2000.

[Drawing 2](a) And explanatory view showing the form of the opening 9 in the base board of the wiring board of a 1st embodiment of (b) this invention, and an example of arrangement of the conductive via 3, respectively.

[Drawing 3](a) Sectional view showing the flow of the manufacturing process of the wiring board 1000 of a 1st embodiment of - (d) this invention.

[Drawing 4](a) Sectional view showing the flow of the manufacturing process of the wiring board 1000 of a 1st embodiment of - (d) this invention.

[Drawing 5](a) Sectional view showing the flow of the manufacturing process of the wiring board 2000 of a 1st embodiment of - (e) this invention.

[Drawing 6](a) Sectional view showing the flow of the manufacturing process of the wiring board 2000 of a 1st embodiment of - (e) this invention.

[Drawing 7]The sectional view of the wiring board 3000 of a 2nd embodiment of this invention.

[Drawing 8]The sectional view of the wiring board 4000 of a 3rd embodiment of this invention.

[Drawing 9]The sectional view of the wiring board 5000 of a 4th embodiment of this invention.

[Drawing 10]The sectional view of the wiring board 6000 of a 5th embodiment of this invention.

[Drawing 11]The explanatory view showing the physical relationship of the conductive via 3 which penetrates the opening 9 provided in the base board of the conventional metal base wiring board, and a base board.

[Drawing 12](a) And explanatory view showing the form of the opening 9 in the base board of the wiring board of a 1st embodiment of (b) this invention, and an example of arrangement of the conductive via 3, respectively.

[Drawing 13]The explanatory view showing the relation between the number of the conductive vias 3 arranged in the one opening 9 in the base board of the wiring board of a 1st embodiment of this invention, and the desirable attribute of the conductive via 3.

[Explanations of letters or numerals]

1000-2000, 3000, 4000, 5000 -- A wiring board, 1 -- Base board, 1a, 1b -- A conductive member, 2, 5, 7, 13, 51, 71 which constitute the base board 1 -- Insulating layer, 3 -- A conductive via, 4, 41 -- A thin film protective layer, 6, 61 -- Conductive pattern , 8, 81 [-- An insulator, 15 / -- A capacitor, 151,152 / -- The electrode of the capacitor 15, 16,161 / -- Multilevel interconnection part.] - - A contact button, 9 -- The opening provided in the base board 1, 10, 11a, 11b, 12 -- A through hole, 14

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2003-31945

(P2003-31945A)

(43)公開日 平成15年1月31日 (2003.1.31)

(51)Int.Cl.⁷

H 05 K 3/46

識別記号

F I

H 05 K 3/46

テマコード(参考)

B 5 E 3 4 6

N

Q

X

審査請求 未請求 請求項の数 5 O L (全 14 頁)

(21)出願番号

特願2001-220389(P2001-220389)

(22)出願日

平成13年7月19日 (2001.7.19)

(71)出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72)発明者 松崎 永二

神奈川県横浜市戸塚区吉田町292番地 株

式会社日立製作所生産技術研究所内

(72)発明者 長谷部 健彦

神奈川県横浜市戸塚区吉田町292番地 株

式会社日立製作所生産技術研究所内

(74)代理人 100084032

弁理士 三品 岩男

最終頁に続く

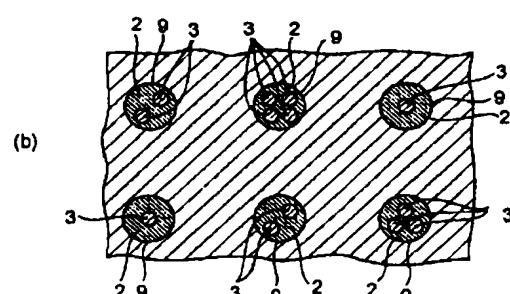
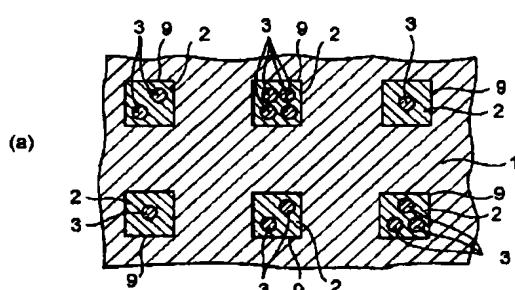
(54)【発明の名称】 配線基板、配線基板の製造方法、および、電気回路装置

(57)【要約】

【課題】導電性ビアの密度が大きく、しかも、配線密度も大きな配線基板を提供する。

【解決手段】ベース基板1と、ベース基板1の表裏2つの中平面のうち少なくとも一方の主平面上に配置された、配線層および絶縁層を有する。ベース基板1には、ベース基板1を厚さ方向に貫通する複数の開口部9が形成され、開口部9には、1以上の導電性ビア3が配置されている。複数の開口部9のうちの少なくとも一つには、2以上の導電性ビア3が配置されている。

図 12



【特許請求の範囲】

【請求項1】ベース基板と、該ベース基板の表裏2つの主平面のうち少なくとも一方の主平面上に配置された、配線層および絶縁層を有し、前記ベース基板には、該ベース基板を厚さ方向に貫通する複数の開口部が形成され、該開口部には、1以上の導電性ピアが配置され、前記複数の開口部のうちの少なくとも一つには、2以上の導電性ピアが配置されていることを特徴とする配線基板。

【請求項2】請求項1に記載の配線基板において、前記複数の開口部は、2以上のグループに分けられ、前記グループごとに異なる数の導電性ピアが配置されていることを特徴とする配線基板。

【請求項3】請求項1または2に記載の配線基板において、前記開口部の開口面積は、1.6mm²以下であることを特徴とする配線基板。

【請求項4】配線基板と、前記配線基板上に搭載された半導体素子とを有する電子回路装置であって、前記配線基板は、ベース基板と、該ベース基板の表裏2つの主平面のうち少なくとも一方の主平面上に配置された、配線層および絶縁層を有し、前記ベース基板には、該ベース基板を厚さ方向に貫通する複数の開口部が形成され、該開口部には、1以上の導電性ピアが配置され、前記複数の開口部のうちの少なくとも一つには、2以上の導電性ピアが配置されていることを特徴とする電子回路装置。

【請求項5】ベース基板に複数の開口部を形成した後、前記開口部に絶縁材料を充填する工程と、前記開口部に複数のビームに分割されたレーザビームを照射することにより、前記開口部の前記絶縁材料に複数のスルーホールを一度に形成する工程と、前記スルーホールに導電体材料を充填することにより、導電性ピアを形成する工程とを有することを特徴とする配線基板の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、ベース基板の上面および下面のうちの少なくとも一方の面に、配線層と絶縁層からなるビルトアップ層を有する配線基板に係わり、特に、ベース基板（コア基板）が導電性部材（たとえば、金属部材）からなる配線基板とその製造方法に関する。

【0002】

【従来の技術】最近、半導体チップでは、内蔵している集積回路素子（以下、ICと呼ぶことにする）の高密度化が進み、動作速度も年々上昇している。

【0003】ICの高密度化に伴い、ICを搭載する配線基板は、収容する配線の容量が増大し、配線のノイズ

対策が重要な問題となっている。現状、ビルトアップ基板等の多層配線基板においては、配線層の積層数を増大させ、1層あたりの配線容量密度を低減すること、および、層間ヘグランド層を形成することによってノイズ対策を行っている。この結果、配線層の積層数が増加するため、製造工程が長くなり、また、製造技術も益々難しくなるために、製造コストの上昇、製造歩留まり低下の問題を引き起こしている。

【0004】また、ICの高密度化によりICが発生する熱量も増加するため、同路基板の放熱性改善、ならびに、半導体チップ／同路基板間の熱膨張係数差に起因する応力緩和がいずれも重要な課題となっている。これらの課題に対応できる基板として、ベース基板（コア基板）として金属板を用いたメタルベース配線基板（メタルコア配線基板）が期待されている。メタルベース配線基板は、現在多く使われているガラスエポキシ基板等に比べて大きな熱放散性を示す他、機械的強度や耐熱性に優れているという特徴がある。また、ベース基板材料を適切に選択することにより、半導体チップとの熱膨張係数差を小さくできる。たとえば、鉄とニッケルの合金であるインバーやスーパーインバー、42アロイは4.5×10⁻⁶°C⁻¹以下の熱膨張係数を有しているため、これらをベース基板材料として用いることにより、Siチップとの熱膨張係数差を小さくすることができる。更に、特開平11-298104号公報によれば、メタルベース基板は、平滑性に優れた基板を得ることができるため、配線の微細化が可能である。また、ベース基板をグランド層として用いることにより、グランド層形成プロセスを低減することができるため、工程短縮とグランドの強化ができる。このように、メタルベース配線基板は種々の利点を有する。

【0005】一方、ICの動作速度の上昇に伴い、半導体チップ内部で発生するスイッチングノイズや信号線の接続部での信号反射による特性劣化が問題となっている。スイッチングノイズの低減には、接地端子と電源端子の間にデカップリングキャパシタを設置することが有効であり、信号反射を抑制するためには、信号線上に終端抵抗を設けることが有効である。このときデカップリングキャパシタや終端抵抗は、ICのできるだけ近い場所に設置するのが効果的であるため、これらをインターポーラ（半導体チップキャリア）に内蔵せざることが開示されている。たとえば、終端抵抗を内蔵させたインターポーラが、日立評論73（1991年）第41頁から48頁において報告されている。また、デカップリングキャパシタを内蔵したインターポーラが、特開平6-318672号公報や特開平8-148595号公報で提案されている。また、デカップリングキャパシタと終端抵抗を共に内蔵させたインターポーラが、特開平9-2138359で提案されている。このようなインターポーラを用いることにより、各種ノイズの対策ができるばかり

ではなく、半導体チップの保護機能や接続端子のピッチ変換機能が確保され、数々の経済的効果をもたらされる。具体的には、インターポーラを用いることにより半導体チップが保護されるため、半導体チップの取り扱いが容易になり、検査がしやすくなり、チップ選別のコスト上昇を抑制できる。また、インターポーラを用いることにより、接続端子のピッチ変換できるため、パッケージング工程で用いる従来通りのインフラを用いて、検査を行うことができるため、ペアチップ実装やフリップチップ実装のインフラ整備にかかるコストと比較して、低成本で検査を行うことができる。

【0006】また、このようなインターポーラを、上記メタルベース配線基板を用いて構成することにより、メタルベース配線基板の長所を有するインターポーラが期待できる。インターポーラは、一般的には上面側に半導体チップを搭載するための接続端子を有し、下面側にインターポーラがマザーボード等の回路基板に搭載される差異に用いられる接続端子を有する。このため、インターポーラとして、メタルベース配線基板を用いるためには、メタルベース基板を突き抜けて上面側から下面側まで貫通する導電性ビアを設ける必要がある。メタルベース配線基板に導電性ビアを形成するためには、一般的に、(1)メタルベース基板への開口部の形成、(2)該開口部への絶縁層充填、(3)該絶縁層へのスルーホール形成、(4)該スルーホールへの導電性ビア形成、の4工程を行う必要がある。

【0007】

【発明が解決しようとする課題】メタルベース配線基板として、メタルベース基板(コア基板)を貫通する導電性ビアを形成する際に、形成可能な導電性ビアの密度は、上記(1)の開口部の形成および上記(3)のスルーホール形成の各工程形成する開口部およびスルーホールの加工寸法とその加工精度に依存する。そのため、メタルベース基板を貫通する導電性ビアを高密度化するためには、高精度加工方法を用いて、開口部及びスルーホールのピッチと径を小さくする必要がある。しかしながら、開口部のピッチと径を小さくすると、隣接する開口部の距離は減少し、1層に形成できる配線の容量も減少する。そのため、同じ容量の配線を有する配線基板を形成しようとすると、配線層の積層数を増加させる必要がある。また、メタルベース基板を貫通する導電性ビアの高密度化が進むと、導電性ビアの微細加工が必要となるため、従来のドリル加工やパンチ加工による対応が難しくなり、レーザ加工を使用する必要が生じる。このレーザ加工による導電性ビアの加工は、順次加工を基本とするため、形成する導電性ビア数が増大すると加工時間も長くなる。

【0008】以上述べたように、ICの高密度化に対応するために、メタルベース配線基板の配線容量を大きくし、メタルベース基板を貫通する導電性ビアの密度を大

きくしていくと、製造工程や製造時間が長くなり、その製造に必要な技術の難易度も益々難しくなる傾向になる。そのため、製造コストが上昇し、製造歩留まりが低下する問題があった。

【0009】本発明は、以上のことと鑑みてなされたものであり、導電性ビアの密度が大きく、しかも、配線密度も大きな配線基板を提供することにある。

【0010】

【課題を解決するための手段】上記目的を達成するため10に、本発明によれば、以下のような配線基板が提供される。

【0011】すなわち、ベース基板と、該ベース基板の表裏2つの主平面のうち少なくとも一方の主平面上に配置された、配線層および絶縁層を有し、前記ベース基板には、該ベース基板を厚さ方向に貫通する複数の開口部が形成され、該開口部には、1以上の導電性ビアが配置され、前記複数の開口部のうちの少なくとも一つには、2以上の導電性ビアが配置されていることを特徴とする配線基板である。

20 【0012】前記複数の開口部は、2以上のグループに分けられ、前記グループごとに異なる数の導電性ビアが配置されている構成にことができる。

【0013】前記開口部の開口面積は、1.6mm²以下とlt;gt;することができる。

【0014】前記配線基板は、前記ベース基板の表裏2つの主平面の少なくとも一方の主平面を薄膜保護層によって被覆する構成とすることができる。これにより、ベース基板を製造プロセス雰囲気や使用環境から保護し、ベース基板上に形成する絶縁層との密着力を強くすることができます。薄膜保護層の材料としては、ベース基板とそれを被覆する絶縁層の材質に合わせて適切な材料を選択して用いる。

【0015】前記薄膜保護層は、銅(Cu)、ニッケル(Ni)、クロム(Cr)、金(Au)、白金(Pl)、タンゲステン(W)、アルミニウム(Al)、シリコン酸化物、アルミニウム酸化物、チタン酸化物、の中から選択した材料により形成することができる。これらの材料のいずれかを薄膜保護層として用いることにより、ベース基板を製造プロセス雰囲気や使用環境から保護し、ベース基板上に形成する絶縁層との密着力を強くすることができる。また、これらの材料は、スパッタリング法等の物理的手法やCVD法に代表される化学蒸着法、スピンドルコーティング法、ゾルゲル法、印刷法等の成膜手法により容易に形成できる。

40 【0016】前記ベース基板内に設けた前記開口部の中に複数個の前記導電性ビアを形成する場合、各導電性ビアと前記ベース基板の距離をほぼ等しくすることができる。かかる構成によれば、ベース基板内に設けた開口部内の各導電性ビアと配線層の接続が容易になり、配線基板の製造歩留りを上げることができる。

【0017】前記ベース基板内に設けた前記開口部の中に複数個の前記導電性ビアを形成する場合、各導電性ビアと前記ベース基板の距離をほぼ等しくすることができる。かかる構成によれば、ベース基板内に設けた開口部内の各導電性ビアと配線層の接続が容易になり、配線基板の製造歩留りを上げることができる。

【0017】前記導電性ピアは、銅(Cu)、ニッケル(Ni)、クロム(Cr)、金(Au)、白金(Pl)、タンゲステン(W)、アルミニウム(Al)、の中から選択した材料もしくはその組み合わせにより形成することができる。これにより、ベース基板の開口部を充填した絶縁層との密着力が強く抵抗が低い導電性ピアを得ることができる。また、これらの材料は、めっき法や化学蒸着法(CVD法)、印刷法等の手法によりスルーホール充填ができ、導電性ピアの形成に好適である。

【0018】前記ベース基板は、タンゲステン(W)、タンタル(Ta)、モリブデン(Mo)、ニッケル(Ni)、銅(Cu)、アルミニウム(Al)、あるいは、少なくともニッケル(Ni)、クロム(Cr)、コバルト(Co)、アルミニウム(Al)のいずれかを含む鉄(Fe)系合金や、該鉄(Fe)系合金に銅(Cu)クラッドを施した鉄系複合材、の中から選択したもの用いることができる。かかる構成によれば、研磨等によりベース基板の表面を平滑にできるため、配線の微細化、および、キャパシタや抵抗素子の形成、が可能になる。また、W、Ta、MoはSiとの熱膨張係数差が小さく、Si半導体チップとの接合信頼性を上げることができる。CuとAlは熱伝導率にも優れ、Alは配線基板の軽量化にも寄与する。さらに、Fe系合金は、加工性に優れたものとなるため、メタルベース基板内への導電性ピア形成が容易になり、導電性ピアの微細化に有利である。また、Fe系合金は、その組成により、熱膨張係数を調整することができ、各種半導体チップとの熱膨張係数差を小さくすることができる。

【0019】また、前記配線基板の表裏2つの主平面の少なくとも一方の主平面に、前記ベース基板が電極の一部を構成するキャパシタを有する構成にすることができる。これにより、等価直列抵抗の小さなキャパシタを内蔵した配線基板が提供でき、これをデカップリングキャパシタに用いることにより、半導体装置(電子回路装置)のスイッチングノイズを低減できる。

【0020】また、前記配線基板の前記ビルドアップ層の中に、キャパシタ、あるいは/かつ、抵抗素子、あるいは/かつ、インダクタンス素子を設けることも可能である。かかる構成により、デカップリングキャパシタや終端抵抗、フィルタを内蔵させた配線基板を提供できる。

【0021】

【発明の実施の形態】以下、添付図面を参照しながら本発明の実施の形態を説明するが、本発明はこれらの実施の形態に限定されるものではない。

【0022】(第1の実施の形態)まず、図1～図6および図12を参照にしながら、第1の実施の形態の配線基板1000、2000について説明する。

【0023】配線基板1000は、導電性部材からなる

ベース基板1と、ベース基板1の上面および裏面にそれぞれ配置された薄膜保護層4、41とを有する。ベース基板1には、開口部9が設けられている。開口部9は、第1絶縁層2により充填されている。また、ベース基板1の上面側および裏面側は、絶縁層5、51でそれぞれ覆われている。絶縁層5、51の上には導体パターン6、61が配置されている。導体パターン6、61は、絶縁層7、71で覆われている。絶縁層7、71には、導体パターン6、61に達するスルーホール11a、11bが所望の位置に設けられている。スルーホール11a、11bには、接続端子8、81が配置されている。

【0024】絶縁層5、51および絶縁層2には、これらを厚さ方向に貫くスルーホール10が設けられている。スルーホール10は導電性材料で充填され、上面側の導体パターン6と裏面側の導体パターン61とを接続する導電性ピア3が形成されている。

【0025】このとき、開口部9は、図2(a)、(b)および図12(a)、(b)のように所定の開口形状を有し、ベース基板1に所定の間隔を開けて設けられている。開口部9の中には、1以上の導電性ピア3が配置されている。図2(a)、図12(a)の例では、開口部9の開口形状は正方形であり、図2(b)、図12(b)の例では、開口部9の開口形状は円形である。

そして、図2(a)、(b)では、各開口部9の内部にそれぞれ4本ずつの導電性ピア3が配置されている。図12(a)、(b)の例では、開口部9はグループ分けされ、グループ毎に1本から4本の導電性ピア3が配置されている。導電性ピア3とベース基板1とは、第1絶縁層2により分離され、接触しないように構成されている。

【0026】本実施の形態の配線基板1000では、開口部9の面積が0.002～1.6mm²の範囲になるよう開口部9の大きさを設定している。これにより開口部9の大きさを定めることにより、高調波YAGレーザを用いて、開口部9内の1～4個のスルーホール10を、各開口部9ごとに一度に形成できる。高調波YAGレーザは、直徑が0.05mm以下のスルーホール形成に有効であり、本実施の形態ではスルーホール10の直徑を0.03mmに設定している。

【0027】図1(b)の配線基板2000は、ベース基板1の裏面側の薄膜保護層41を備えていない点が図1(a)の配線基板1000とは異なる。他の構成は、配線基板1000と全く同じである。

【0028】本実施の形態の回路基板1000、2000を、従来のメタルベース配線基板と比較してさらに説明する。図11に従来のメタルベース配線基板のベース基板1と、ベース基板1に設けた開口部9と導電性ピア3との位置関係を示す。図11の各符号は図2(a)の場合と同じである。図11の従来のメタルベース配線基板では、ベース基板1内に所定形状(円形)の開口部9

7
が所定の間隔で設けられており、各開口部9の中には、第1絶縁層2を介して1個の導電性ピア3が形成されている。よって、図11の従来のメタルベース配線基板では、導電性ピア3が等ピッチで配置されている。半導体パッケージでの接続端子ピッチは、日経マイクロデバイス1998年8月号第66頁～第77頁の解説によれば、2004年までには、0.25mmまで高密度化すると予測されている。そこで、ここでは、従来のメタルベース配線基板のベース基板1にピッチa=0.25mmの導電性ピア3を設ける場合について考えることにする。また、導電性ピア3の直径b=0.03mmとし、ベース基板1とのクリアランスc=0.035mmとする。この場合、ベース基板1に設ける開口部9の直径d=0.1mm、開口部9のピッチa'は導電性ピア3のピッチaと同じa'=0.25mm、隣接する開口部の間隔e=0.15mmとなる。

【0029】これと同じ導電性ピア3の密度を、本実施の形態による開口部9内に4本ずつの導電性ピア3を備える配線基板1000、2000で実現すると以下のようにになる。ただし、導電性ピア3の直径b=0.03mm、ベース基板1とのクリアランスc=0.035mmとする。ベース基板1に形成する開口部9の形状を、図2(a)に示すような正方形にすると、開口部9の一辺の長さf=0.2mm、開口部9のピッチg=0.5mm、開口部9内に形成する導電性ピア3のピッチh=0.1mmとすればよい。また、ベース基板1に形成する開口部9の形状を図2(b)に示すような円形にする場合、開口部9の直径i=0.2mm、開口部9のピッチj=0.5mm、開口部9内に形成する導電性ピア3とのピッチk=0.071mm(すなわち、対角線上で隣接する導電性ピアのピッチl=0.1mm)とすればよい。この結果、配線基板1000、2000の場合、ベース基板1内に形成する開口部9の形状が正方形であっても円形であっても、ベース基板1内で隣接する開口部9の間隔m=0.3mmとなり、従来の図11の回路基板の隣接する開口部の間隔e=0.15mmであるのと比較して倍の間隔にすることができる。

【0030】以上のことから、導電性ピア3の密度を等しくするという条件で、従来のメタルベース配線基板と本実施の形態の配線基板1000、2000を比較すると、本実施の形態の配線基板1000、2000には、次のような利点がある。

【0031】(1)配線基板1000、2000は、ベース基板1に設ける開口部9の間隔mが従来のメタルベース配線基板1の開口部9の間隔eより広くすることができる。これにより、ベース基板1の面積に占める開口部9の開口面積の割合が小さくなるため、従来のメタルベース配線基板に比べて、配線基板1000、2000はベース基板1上に形成できる導体パターン6(配線)の容量を大きくできる。

【0032】(2)図11の従来のメタルベース配線基板において、ベース基板1にピッチa=0.25mmで直径b=0.03mmの導電性ピアをベース基板1とのクリアランスc=0.035mmとして形成する場合、ベース基板1には、ピッチa'=0.25mmで直径d=0.1mmの開口部9を、開口部9内の第1絶縁層2には、ピッチa=0.25mmで直径b=0.03mmのスルーホール10を形成する必要がある。この場合、直径bが0.05以下のスルーホールを形成するには、現状の加工技術では、高調波YAGレーザ等による加工が必要となるため、ピッチが0.25mmで隣接するスルーホール10を同時形成することはできない。そのため、図11の従来のメタルベース配線基板の場合には、スルーホール10を一つずつレーザ加工する必要がある。また、図11の従来のメタルベース配線基板は、開口部9の径d=0.1mmと小さいため、フォトエッチング等すべての開口部9を一度に形成することは困難であり、レーザー加工による順次形成で対応するしかない。それに対し、本実施の形態の配線基板1000、2000では、ベース基板1に設ける開口部9の一辺の長さf=0.2mmの正方形、あるいは、直径i=0.2mmの円形とでき、ピッチj=0.5mmとができるため、すべての開口部9をフォトエッチング等により一度に形成することが可能である。また、4個の導電性ピア3が1.6mm²以下の範囲内で隣接して存在するため、高調波YAGレーザのレーザビームを4つのビーム分割して一度に照射することができる、4個の導電性ピア3のスルーホール10を同時形成できる。これにより、従来のメタルベース配線基板と比較すると、配線基板1000、2000の場合、ベース基板1に開口部9を形成する工程と、導電性ピア3のスルーホール10を第1絶縁層に形成する工程において、製造工程を大幅に短縮できる。

【0033】このように、本実施の形態の配線基板1000、2000は、ベース基板1を貫通する導電性ピア3の高密度化を達成しながら、ベース基板1上に形成できる導体パターン(配線)6の容量を増大させることができ、また、その製造工程を大幅に短縮できる。

【0034】なお、図2(a)、(b)は、ベース基板1に設けた開口部9ごとに4個の導電性ピア3を形成する場合について説明したが、この数に限定されるものではなく、図12(a)、(b)のように、1～4個の任意の数にすることができる。また、開口部9のみを設け、導電性ピア3を配置しないことも可能である。なお、クロストークノイズを防止するために、導電性ピア3の属性、すなわち導電性ピア3を電源線、グランド線、信号線のいずれに用いるかに応じて、開口部9に配置する導電性ピア3の数を定めることが望ましい。これを図13を用いて説明する。開口部9に配置する導電性ピア3が1個である場合には、その導電性ピア3を信号

線、接地線、電源線のいずれに用いることもできる。開口部9に配置する導電性ビア3が2個である場合には、ペア配線（信号線と接地線）、電源配線（電源線と接地線）、電源配線／信号配線の混載（電源線と信号線）、もしくは、動作周波数が低くクロストークが問題とならない低周波信号配線2個に用いることができる。また、開口部9に配置する導電性ビア3が3個である場合には、電源線と接地線と信号線の組み合わせ、信号線2個と接地線（または電源線）の組み合わせ、動作周波数が低くクロストークが問題とならない低周波信号線3個の組み合わせに用いることができる。また、開口部9に配置する導電性ビア3が4個以上ある場合には、1個以上の信号線と1個以上の電源線あるいは接地線との組み合わせ、1個以上のペア配線（信号線と接地線）と1個以上の電源線あるいは接地線との組み合わせ、もしくは、動作周波数が低くクロストークが問題とならない低周波信号線4個以上の組み合わせに用いることができる。このように、予め定めた組み合わせに導電性ビア3を用いることにより、クロストークノイズを低減できるため、開口部9に複数の導電性ビア3を配置でき、ベース基板1上で占める導電性ビア3の面積を減らすことができる。これにより、ベース基板1上に形成できる導体パターン（配線）6の容量を増大させることができる。

【0035】上述のように、本実施の形態では、開口部9の面積を0.002～1.6mm²と設定することによって、レーザビーム加工によるスルーホール複数個の同時形成を可能にしている。この理由を以下に述べる。直径が0.05mm以下のスルーホール10の形成に用いられる高調波YAGレーザのビーム径は、通常2mm程度である。レーザビームの強度は、ビームの中心から20～40%の範囲ではほぼ同じ強度を有するが、その外側では急激に弱くなり、加工速度が低下していく。そこで本発明では、ビーム強度にほぼ比例する加工速度が、中心部の1/2の範囲までを使用可能な範囲であるとし、しかも、形成されるスルーホール径や断面構造がほぼ同じであるという条件を満たすビーム径を実験により探した。実験の結果、ビーム径の約70%以内の範囲、すなわち、ビーム径2mmの場合、径が1.5mmの範囲内において満足することが分かった。したがって、径1.5mmの範囲内の位置するスルーホール10であれば、レーザビームをスルーホールの数と同じ数の開口を有する遮蔽部材等を通過させることによりマルチビームに整形して照射することにより、複数個のスルーホールのほぼ一様に同時加工が可能になる。これらのことから、本実施の形態では、開口部9の面積を前記ビームの照射面積にほぼ対応する1.6mm²の範囲内と定めた。なお、開口部9の形状は円形に限らず、ビーム径約1.5mmより内側に入っているどのような形状であっても差し支えない。

【0036】ベース基板1を構成する導電性部材として

は、形成する配線の容量を大きくするためにも、表面を平滑・平坦にでき、また、配線基板製造工程の熱処理による寸法変化が少ないものが好ましい。このような材料として、少なくともニッケル(Ni)、クロム(Cr)、コバルト(Co)、アルミニウム(Al)のいずれかを含む鉄(Fe)系合金や該鉄(Fe)系合金に銅(Cu)クラッドを施した鉄系複合材、あるいは、タンゲステン(W)、ニッケル(Ni)、モリブデン(Mo)、タンタル(Ta)、銅(Cu)、アルミニウム(Al)、等の金属を上げることができる。W、Ni、Mo、Ta、Fe系合金は1000°C以上の融点を有するため、厚膜ペーストによる配線パターンやキャパシタ等を形成することができる。また、W、Ta、MoはSiとの熱膨張係数差が小さく、Si系半導体チップとの接合信頼性を上げることができる。CuとAlは熱伝導率にも優れ、Alは配線基板の軽量化にも寄与する。Fe系合金は、加工性に優れているため、メタルベース基板への導電性ビア形成が容易となり、導電性ビアの微細化に有利である。更に、Fe系合金の場合、その組成により、熱膨張係数を調整できるため、各種半導体チップとの熱膨張係数差を小さくすることができる。

【0037】導電性ビア3を構成する導電性部材としては、ベース基板1の開口部9を充填する第1絶縁層2との密着力が強く、抵抗が低いものが望ましい。また、スルーホール内部への成膜が可能であることも重要である。このような材料として、銅(Cu)、ニッケル(Ni)、クロム(Cr)、金(Au)、白金(Pt)、タンゲステン(W)、アルミニウム(Al)、等を上げることができ、これらの中から材料を選択し、これらの材料の組み合わせて用いることが望ましい。

【0038】絶縁層2、5、51、7、71としては、有機絶縁樹脂や無機絶縁材料により形成することができる。

【0039】配線基板1000では、ベース基板1の表裏2つの主平面上に薄膜保護層4、41が形成され、配線基板2000では、表側の主平面のみに薄膜保護層4が形成されている。この薄膜保護層4、41は、ベース基板1を製造プロセスから保護し、ベース基板1と第1絶縁層5、51との密着性を改善するために設けるものである。従って、薄膜保護層4、41としては、ベース基板1との密着性や耐環境性、耐熱性に優れた材料であることが望ましい。また、ベース基板1への成膜が容易であることも望ましい。このような材料として、Cu、Ni、Cr、Au、Pt、W、Al、シリコン酸化物、アルミニウム酸化物、チタン酸化物、等の材料を用いることができる。これらの中から、ベース基板1、第2絶縁層5、51、製造プロセス、配線基板の使用環境、等を考えて薄膜保護層4、41を選択すれば良い。ただし、シリコン酸化物、アルミニウム酸化物、チタン酸化物、等の無機絶縁材料を選択した場合、電気的導通を確

保するため、導電性ビア3が通過する位置の薄膜保護層4、41を取り除く必要がある。

【0040】次に、図1(a)に示した回路基板100の製造方法を図3(a)~(d)と図4(a)~(d)を参照しながら説明する。

【0041】図3(a)：ベース基板1の準備
所望の大きさに切り出した42アロイ等の導電性部材の表面研磨を行うことにより、その表面を平滑にし、ベース基板1とする。次いで、ベース基板1の脱脂処理、中性洗剤やアルカリ洗剤を用いて洗浄を行い、表面を清浄にする。

【0042】図3(b)：薄膜保護層4、41の形成
スパッタリング法等により、ベース基板1の表裏2つの主平面上にCr等の金属膜を形成し、薄膜保護層4、41とする。薄膜保護層4、41の膜厚はベース基板1を保護でき、密着強度を確保できる厚さとする。例えば、100~200nmとすることができます。

【0043】図3(c)：ベース基板1への開口部9の形成
フォトエッチング法を用いて、ベース基板1に開口部9を形成する。この場合、すべての開口部を一度に形成することができる。

【0044】図3(d)：第1絶縁層2の充填および第2絶縁層5、51の形成
真空ホットプレス法等の手法を用いてプリプレグ等の有機絶縁シートをベース基板1の表裏2つの主平面に貼り付け、開口部9に第1絶縁層2を充填するとともに、表裏2つの主平面上に第2絶縁層5、51を形成する。なお、有機絶縁樹脂としてはプリプレグに限定されるものではなく、その他の材料を用いても良く、液状あるいはペースト状の絶縁材料をディップ法や印刷法、スプレー塗布、転写法等、別の手法を用いて形成しても差し支えない。また、第1絶縁層2の開口部9への充填と第2絶縁層5、51の形成を別々の工程で行っても構わない。

【0045】以下、図4を参照しながら説明する。

【0046】図4(a)：絶縁層2、5、51へのスルーホール10の形成
高調波YAGレーザを照射することにより、第2絶縁層5、51と開口部9内の第1絶縁層2を貫通するスルーホール10を形成する。この場合、YAGレーザビームをアパーチャを使ってマルチビームに変換し、開口部9内のスルーホール10を開口部9ごとに同時に形成する。

【0047】図4(b)：導電性ビア3と導体パターン6、61の形成
めっき法等により、スルーホール10内にCu等の導電性部材を充填して導電性ビア3を形成し、更に、第2絶縁層4、41の表面にCu等の導電性薄膜を形成する。

次いで、フォトエッチング法等、周知の手法により前記導電性薄膜のパターン分離を行い、導体パターン6、61を形成する。なおここでは、導電性部材としてCuを選択し、めっき法により成膜することにより、スルーホール10への導電性部材の充填と第2絶縁層4、41上への導電性薄膜の成膜を同一工程で行っているが、これに限定されるものではない。また、スルーホール10への導電性部材の充填と第2絶縁層4、41上への導電性薄膜の成膜を別々の工程で行っても差し支えない。

【0048】図4(c)：第3絶縁層7、71の形成
スピニ塗布法などの手法により有機系絶縁樹脂を塗布し、乾燥、硬化を行って第3絶縁層7、71を成膜する。次いで、フォトエッチング法等の手法によりスルーホール11a、11b、を形成する。なお、この場合、有機系絶縁樹脂として感光性材料を用いると、塗布、乾燥、露光、現像、硬化の各工程により、スルーホール11a、11bを有する第3絶縁層7、71を形成することができ、工程簡略に寄与できる。

【0049】図4(d)：接続端子8、81の形成
配線基板と半導体素子等との接続手法に適合した材料をスパッタ法や真空蒸着法、めっき法等の周知の成膜手法により成膜し、フォトエッチング法等の周知の手法によりパターン分離を行い、接続端子8、81を形成する。接続端子メタライズに用いる材料は接続手法によって選択することになるが、はんだ接続を前提にする場合には、Au/Ni/Cr積層膜やNi-Cu/Cr積層膜等を用いることことが好ましい。ここで、A/BはBの上層膜として、Aが積層されていることを示している。

【0050】以上で、図1(a)に示した配線基板100が完成する。

【0051】次に、図1(b)に示した回路基板200の製造方法を図5(a)~(e)と図6(a)~(e)を参照しながら説明する。

【0052】図5(a)：ベース基板1の準備及び薄膜保護層4、41の形成
図3(a)、(b)に示した工程と同様に、表裏2つの主平面上に薄膜保護層4、41を形成したベース基板1を準備する。

【0053】図5(b)：ベース基板1への開口部9の形成
フォトエッチング法を用いて、ベース基板1の中に開口部9を形成する。この場合にも、すべての開口部9を一度に形成するが、開口部9はベース基板1を貫通していない。この点が、図3(c)に示した配線基板100の製造工程とは異なる。

【0054】図5(c)：第1絶縁層2の充填および第1主平面側の第2絶縁層5の形成
真空ホットプレス法等の手法を用いてプリプレグ等の有機絶縁シートをベース基板1の第1の主平面側に貼り付け、開口部9に第1絶縁層2を充填するとともに、ベース基板1の第1の主平面側に第2絶縁層5を形成する。

なお、有機絶縁樹脂としてはプリプレグに限定されるものではなく、その他の材料を用いても差し支えなく、液状あるいはペースト状の絶縁材料をディップ法や印刷法、スプレー塗布、転写法等、別の手法を用いて形成しても差し支えない。また、開口部9への第1絶縁層2の充填と第2絶縁層5の形成を別々の工程で行っても良い。

【0055】図5 (d) : 第1の主平面側第2絶縁層5へのスルーホール10の形成

高調波YAGレーザを用いた加工によって、第2絶縁層5と開口部9内の第1絶縁層2を貫通し、ベース基板1に達するスルーホール10を形成する。これにより、スルーホール10の底面にはベース基板1の一部が露出している。この場合、YAGレーザビームをアーチャを使ってマルチビームに変換し、ベース基板1の開口部9内に複数個のスルーホール10を開口部9ごとに同時に形成する。

【0056】図5 (e) : 導電性ビア3と第1の主平面側導体パターン6の形成

電界めっき法等により、スルーホール10の内部にCu等の導電性部材を充填して導電性ビア3を形成し、更に、第1の主平面側第2絶縁層4の表面にCu等からなる導電性薄膜を形成する。次いで、フォトエッチング法等、周知の手法により前記導電性薄膜のパターン分離を行うことにより、導体パターン6を形成する。なおここでは、めっき法によりCu膜を成膜することにより、スルーホール10への導電性部材の充填と第2絶縁層4上への導電性薄膜の成膜を同一工程で行っているが、これに限定されるものではない。また、導電性部材をスルーホール10内部に充填する工程と第2絶縁層4上に導電性薄膜を成膜する工程を分離しても差し支えない。さらに、第1の主平面側の第2絶縁層4上に形成した導電性薄膜のパターン分離を、第2の主平面側の導体パターン61を形成する工程において行っても構わない。

【0057】以下、図6 (a) ~ (e) を参照にしながら説明する。

【0058】図6 (a) : ベース基板1の第2の主平面側除去

導体パターン6を形成した第1の主平面側を保護しながら、エッティングや研磨等、周知の手法を用いてベース基板1の第2の主平面側の部分を除去し、導電性ビア3と第1絶縁層2を第2の主平面側に露出させる。次いで、平滑化と洗浄を行い、新たな第2の主平面を清浄にする。

【0059】図6 (b) : 第2の主平面上への第2絶縁層51の形成

図5 (c) の工程と同様に、真空ホットプレス法等の手法を用いてプリプレグ等の有機絶縁シートをベース基板1の第2の主平面側に貼り付け、有機絶縁膜からなる絶縁層51を形成する。この場合にも、有機絶縁材料とし

てプリプレグに限定されるものではなく、その他の材料を用いても良く、液状（あるいはペースト状）の絶縁材料をディップ法や印刷法、スプレー塗布、転写法等、別の手法を用いて形成しても差し支えない。次いで、図5 (d) の工程と同様に、高調波YAGレーザを用いた加工によって、第2の主平面側の第2絶縁層51にスルーホール12を形成し、導電性ビア3を露出させる。この場合にも、YAGレーザビームをアーチャを使ってマルチビームに変換し、開口部9内の複数のスルーホール12を同時に形成する。

【0060】図6 (c) : 第2主平面側の導体パターン61の形成

スパッタリング法、めっき法、化学蒸着法（CVD法等）、ゾルゲル法、等の周知の手法を用いて第2の主平面上にCu等の導電性薄膜を成膜し、次いで、フォトエッチング法等、周知の手法を用いて導電性薄膜のパターン分離を行う。これにより、第2主平面側の導体パターン61が形成される。なお、この工程において、第1の主平面側の導体パターン6を形成するためのパターン分離を行っても差し支えない。

【0061】図6 (d) : 第3絶縁層7, 71の形成

表裏2つの主平面上に、スピニ塗布法や印刷法等の周知の手法により有機系絶縁樹脂を塗布し、乾燥、硬化を行って絶縁層7, 71を成膜する。次いで、フォトエッチング法やレーザ加工法等の周知の手法によりスルーホール11a, 11bを形成する。この場合、図5 (c) の工程と同様に、真空ホットプレス法等の手法を用いてプリプレグ等の有機絶縁シートを貼り付けても良いし、有機系絶縁樹脂として感光性材料を用い、塗布、乾燥、露光、現像、硬化の各工程により形成しても差し支えない。

【0062】図6 (e) : 接続端子8, 81の形成

配線基板と半導体素子との接続手法に適合した材料をスパッタ法や真空蒸着法、めっき法等の周知の成膜手法により成膜し、フォトエッチング法等の周知の手法によりパターン分離を行い、接続端子8, 81を形成する。接続端子メタライズに用いる材料は接続手法によって選択することになるが、はんだ接続を前提にする場合には、Au/Ni/Cr積層膜やNi-Cu/Cr積層膜等を用いることことが好ましい。ここで、A/BはBの上層膜として、Aが積層されていることを示している。以上で、図1 (b) に示した配線基板2000が完成する。

【0063】上述してきた第1の実施の形態によれば、第1の主平面側の端子8に半導体チップ（図示せず）や個別電子部品（図示せず）を搭載し、第2の主平面側の端子81を別の配線基板（図示せず）に接続することにより、本発明による配線基板をインターポーラとして使うことができる。またここでは、接続端子8, 81は、接続端子メタライズの段階で止まっているが、この上に

半田バンプ等の半田を設けておくことも可能である。このように半田をもうけておくことにより、本発明による配線基板と別の配線基板(図示せず)や半導体チップ(図示せず)と半田接合する上で有効である。

【0064】(第2の実施の形態)本発明の第2の実施の形態の配線基板3000を図7を用いて説明する。

【0065】配線基板3000は、第1の実施の形態の配線基板1000と似た構成であるが、導電性ピア3の構造に違いがある。すなわち、配線基板3000では、第1絶縁層2に設けられたスルーホール10内部の側壁にのみ導電性部材が形成され、導電性部材がスルーホール10の芯の部分にまで充填されていない点である。スルーホール10の芯の部分には、第4絶縁層13が充填されている。これにより、導電性ピア3の表面積は、第1の実施の形態に比べて大きくなるため、取り扱う信号の周波数が高くなって表皮効果の影響が問題になる場合であっても、伝送特性劣化を防止することができる。

【0066】導電性ピア3を図7のような構造に製造するためには、配線基板1000の製造工程の図4(b)や配線基板2000の製造工程の図5(e)において、スルーホール10の内部にCu等の導電性部材を充填する際に、めっき法を用いることにより、容易に実現できる。これ以外の構造や製造方法、第1の実施の形態と同じである。従って、第2の実施の形態においても、本発明の適用により、第1の実施の形態の場合と同じ効果を得ることができる。

【0067】(第3の実施の形態)本発明の第3の実施の形態の配線基板4000を図8を用いて説明する。

【0068】図8の配線基板4000では、ベース基板1を、絶縁体14を2枚の導電性部材1a、1bで挟んだ積層構造としている。この点が、第1の実施の形態の配線基板1000と異なる所である。これ以外の構造や製造方法は、配線基板1000と同じである。従って、第3の実施の形態においても、第1の実施の形態の場合と同じ効果を得ることができる。

【0069】また、本実施の形態の図8の配線基板4000の場合、ベース基板1を構成する導電性部材1a、1bをパターン化して配線回路の一部として用いることができる。例えば、ベース基板1を構成する導電性部材の少なくとも一方の導電性部材(例えば1a)をパターン化し、ベース基板1を構成する2枚の導電性部材1a、1bを電極、絶縁体14を誘電体とすることにより、キャパシタを構成することができる。かかる構成によれば、ベース基板1を構成する2枚の導電性部材の一方(例えば1a)を電源端子、他方(例えば1b)を接地端子に接続することにより、キャパシタ14をデカップリングキャパシタとして用いることができる。そして、配線基板4000の第1の主平面側の接続端子8に半導体チップ(図示せず)や個別電子部品(図示せず)を搭載し、第2の主平面側の接続端子81を別の配線基板(図示せず)に接続することにより、等価直列抵抗が低く、容量の高いキャパシタ15を内蔵したインターポーラとして使用できるため、スイッチングノイズを低減できる電子装置を提供できる。

板(図示せず)に接続することにより、デカップリングキャパシタを内蔵したインターポーラとして使用できるため、スイッチングノイズを低減できる電子装置を提供できる。

【0070】(第4の実施の形態)本発明の第4の実施の形態の配線基板5000を図9を用いて説明する。

【0071】図9の配線基板5000は、図1の配線基板1000にキャパシタ素子15を内蔵させた例である。薄膜保護層4の上には、誘電体層150、上部電極

151が積層されている。キャパシタ15の下部電極151は、ベース基板1と薄膜保護層4、41から構成されている。その他の符号は、図1～図8の配線基板の場合と同じである。本実施の形態の場合、薄膜保護層4、41は、導電性部材により形成する。

【0072】図9の配線基板5000は、基本構造や基本的な製造工程は、配線基板1000と同じであり、本実施の形態においても、本発明の適用により、第1の実施の形態と同じ効果を得ることができる。

【0073】また、本実施の形態では、導電性部材からなるベース基板1をキャパシタ15の一方の電極151の一部としている。そのため、キャパシタ15の下部電極となる電極151の等価直列抵抗を低くできる。また、本発明の適用により、ベース基板1内に占める開口部9の割合が小さくなるため、キャパシタ15の容量を大きくできる。従って、本実施の形態によれば、高密度実装を可能にしながら、等価直列抵抗が低く、容量の高いキャパシタを内蔵させた配線基板を提供できる。そして、第1の主平面側の接続端子8に半導体チップ(図示せず)や個別電子部品(図示せず)を搭載し、第2の主平面側の接続端子81を別の配線基板(図示せず)に接続することにより、等価直列抵抗が低く、容量の高いキャパシタ15を内蔵したインターポーラとして使用できるため、スイッチングノイズを低減できる電子装置を提供できる。

【0074】なお、本実施の形態を示す配線基板5000を製造するには、キャパシタ15を最初に形成し、その後に、配線基板1000の製造方法を用いることにより、ベース基板1を貫通する導電性ピア3を形成すればよい。また、キャパシタを内蔵させる配線基板として第1の実施の形態で示した配線基板1000を用いているが、これに限定されるものではなく、配線基板2000や配線基板3000等を用いることももちろん可能である。

【0075】(第5の実施の形態)本発明の第5の実施の形態の配線基板6000を図10を用いて説明する。

【0076】図10の配線基板6000は、第1の実施の形態で示した配線基板1000の導体パターン6、61と絶縁層7との間に、ビルトアップ層からなる多層配線部16、161を配置したものである。多層配線基板16、161の回路構成を導体パターン6、61の間隔

を所望の間隔に変換する構成とすることにより、接続端子8, 81を半導体素子等の端子間隔に合わせて所望の間隔にすることができる。多層配線部16, 161としてテスト回路等を含む構成にすることもできる。また、多層配線部16, 161の中には、キャパシタや抵抗素子、インダクタンス素子を、必要に応じて内蔵させることもできる。

【0077】配線基板6000は、第1の実施の形態の配線基板1000と多層配線部16, 161が一体化して形成されているため、本実施の形態においても、第1の実施の形態で得られた効果が得られる。

【0078】配線基板6000の場合にも、第1の主平面側の接続端子8に半導体チップ(図示せず)や個別電子部品(図示せず)を搭載し、第2の主平面側の接続端子81を別の配線基板(図示せず)に接続することにより、インターポーラとして使用できる。そして、多層配線部16, 161を設けたことにより、接続端子ピッチの変換機能や検査機能等を付与できる。

【0079】なお、多層配線部16, 161と一体化する配線基板として第1の実施の形態で示した配線基板1000を用いているが、これに限定されるものではない。

【0080】

【発明の効果】上述してきたように、本発明によれば、導電性ビアの密度が大きく、しかも、配線密度も大きな配線基板を提供することができる。

【図面の簡単な説明】

【図1】本発明の第1の実施の形態の(a)配線基板1000の断面図、(b)配線基板2000の断面図。

【図2】(a)および(b)本発明の第1の実施の形態の配線基板のベース基板内の開口部9の形状と導電性ビア3の配置の一例をそれぞれ示す説明図。

【図3】(a)～(d)本発明の第1の実施の形態の配線基板1000の製造工程の流れを示す断面図。*

* 【図4】(a)～(d)本発明の第1の実施の形態の配線基板1000の製造工程の流れを示す断面図。

【図5】(a)～(e)本発明の第1の実施の形態の配線基板2000の製造工程の流れを示す断面図。

【図6】(a)～(e)本発明の第1の実施の形態の配線基板2000の製造工程の流れを示す断面図。

【図7】本発明の第2の実施の形態の配線基板3000の断面図。

【図8】本発明の第3の実施の形態の配線基板4000の断面図。

【図9】本発明の第4の実施の形態の配線基板5000の断面図。

【図10】本発明の第5の実施の形態の配線基板6000の断面図。

【図11】従来のメタルベース配線基板のベース基板内に設けた開口部9とベース基板を貫通する導電性ビア3の位置関係を示す説明図。

【図12】(a)および(b)本発明の第1の実施の形態の配線基板のベース基板内の開口部9の形状と導電性ビア3の配置の一例をそれぞれ示す説明図。

【図13】本発明の第1の実施の形態の配線基板のベース基板内の一つの開口部9内に配置する導電性ビア3の数と、導電性ビア3の望ましい属性との関係を示す説明図。

【符号の説明】

1000, 2000, 3000, 4000, 5000…配線基板、1…ベース基板、1a, 1b…ベース基板1を構成する導電性部材、2, 5, 7, 13, 51, 71…絶縁層、3…導電性ビア、4, 41…薄膜保護層、6, 61…導体パターン、8, 81…接続端子、9…ベース基板1に設けた開口部、10, 11a, 11b, 12…スルーホール、14…絶縁体、15…キャパシタ、151, 152…キャパシタ15の電極、16, 161…多層配線部。

【図7】

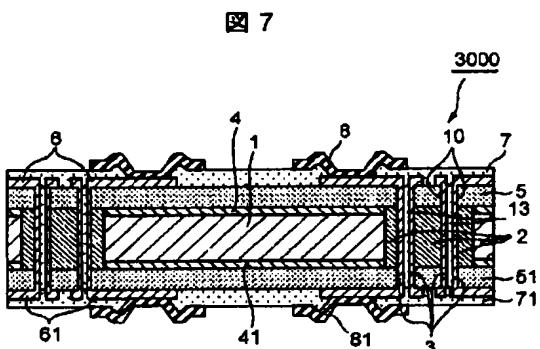


図7

【図8】

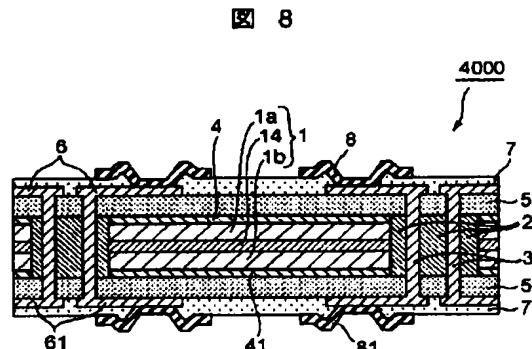
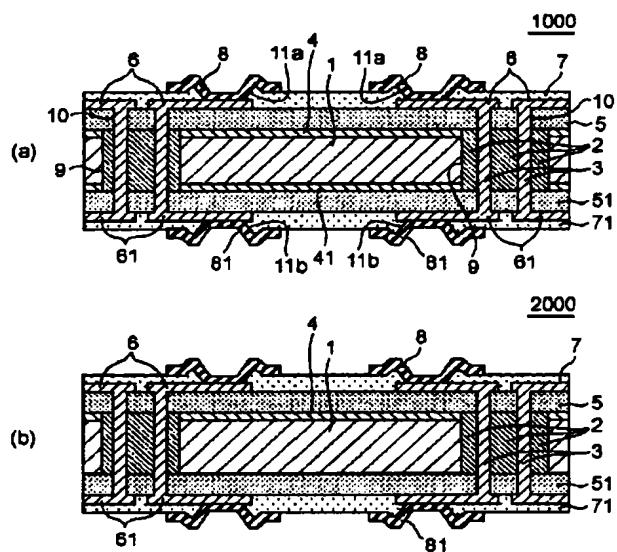


図8

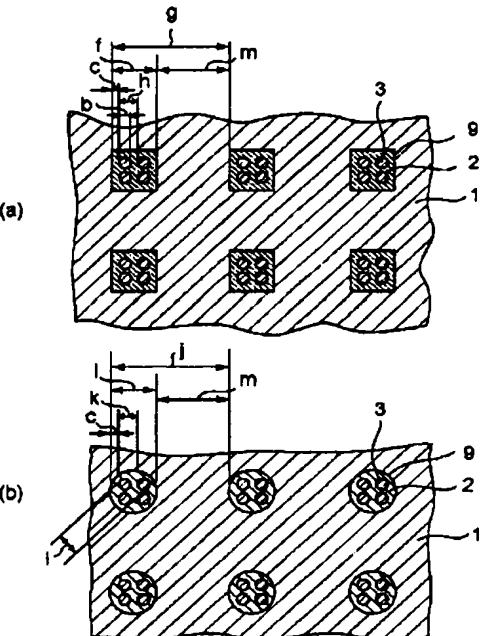
【図1】

図1



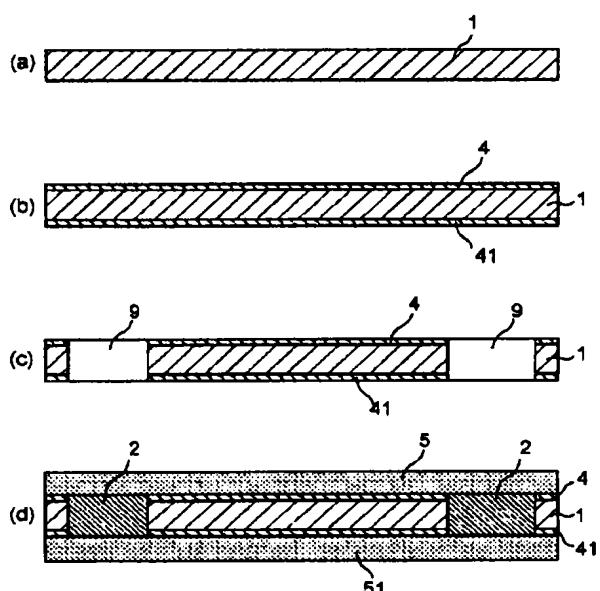
【図2】

図2



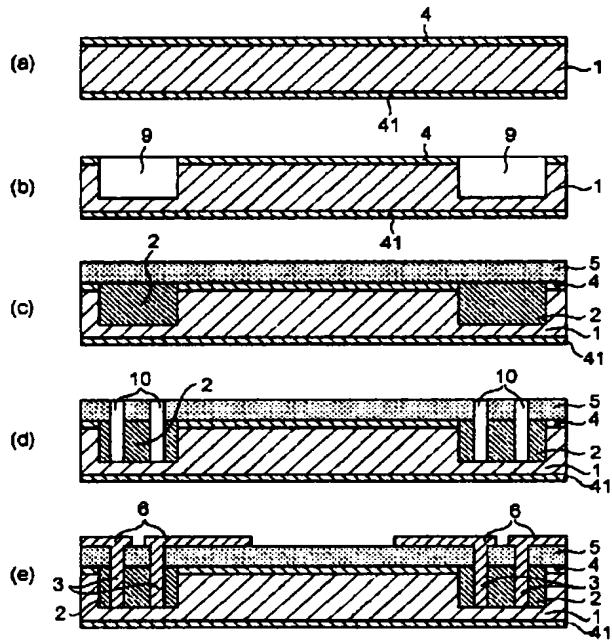
【図3】

図3



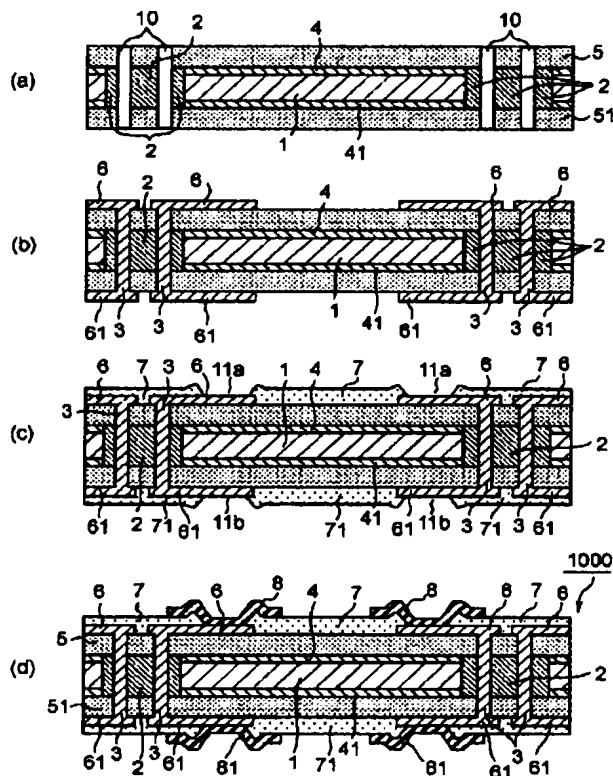
【図5】

図5



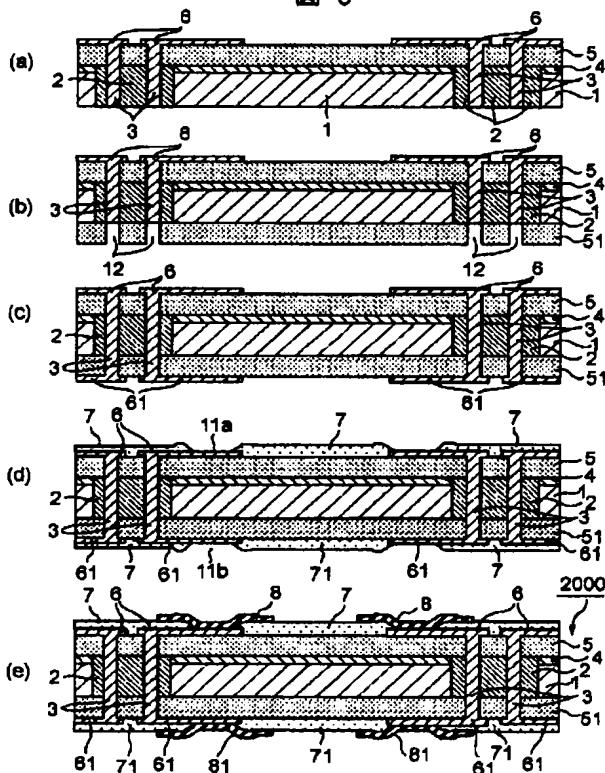
[図 4]

4



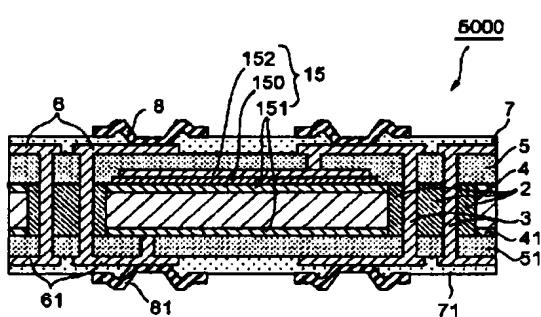
【図6】

6



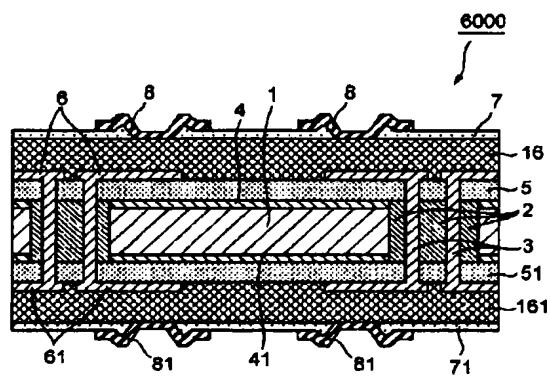
〔图9〕

9



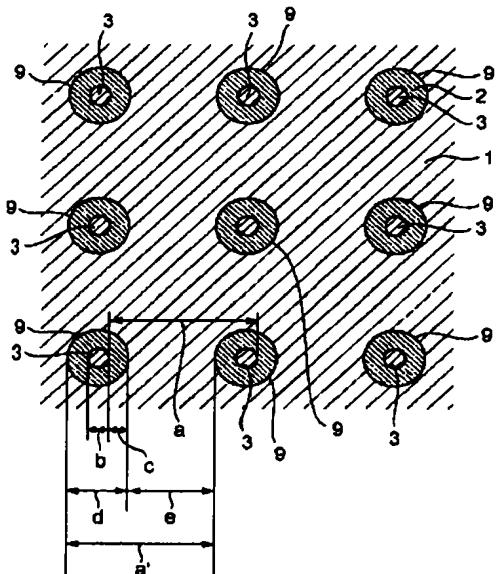
〔图10〕

10



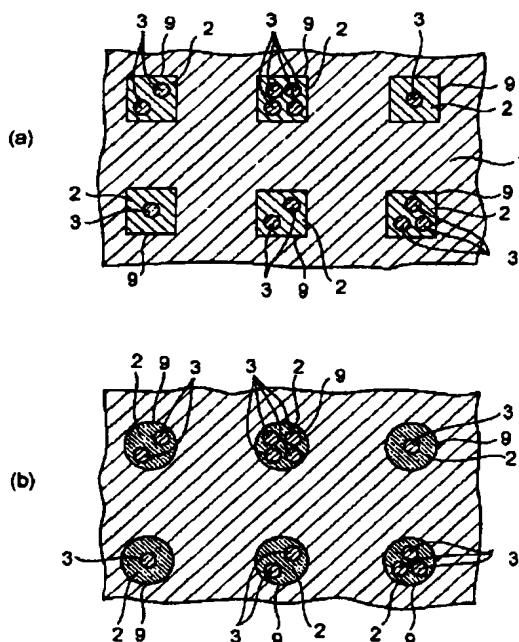
【図11】

図11



【図12】

図12



【図13】

図13

No.	開口部内に設ける導電性ピアの数	導電性ピアの属性
1	0	開口部はブラインドとなる。断面充填のみ。
2	1	<ul style="list-style-type: none"> 属性は何でもOK。 動作周波数の高い配線では必須。 (クロストークノイズ防止のため。)
3	2	<ul style="list-style-type: none"> ペア配線(信号線+接地線) 電源配線(電源線+接地線) 電源配線/信号配線混載(電源線+信号線) 低周波信号配線×2 (動作周波数が低く、クロストークが問題にならない場合)
4	3	<ul style="list-style-type: none"> 電源線+接地線+信号線 信号線×2+接地線(あるいは電源線) 低周波信号配線×3 (動作周波数が低く、クロストークが問題にならない場合)
5	4個以上	<ul style="list-style-type: none"> 1個以上の信号線+1個以上の電源線あるいは接地線 1個以上のペア配線(信号線+接地線) +1個以上の電源線あるいは接地線 複数個の信号配線 (複数個の信号線を通す場合には、動作周波数が低く、 クロストークが問題にならない場合に限る)

フロントページの続き

(72)発明者 牛房 信之
神奈川県横浜市戸塚区古田町292番地 株
式会社日立製作所生産技術研究所内

(72)発明者 阿部 洋一
神奈川県横浜市戸塚区古田町292番地 株
式会社日立製作所生産技術研究所内

(72)発明者 松嶋 直樹
神奈川県横浜市戸塚区吉田町292番地 株
式会社日立製作所生産技術研究所内

F ターム(参考) 5E346 AA03 AA12 AA15 AA43 CC02
CC08 CC16 CC32 DD12 DD13
DD23 DD32 DD44 EE33 FF07
FF13 GG15 GG17 GG22 GG28
HH03 HH25